

**Dossier de demande de renouvellement
du
Groupement de Recherche en
System On Chip, Systèmes embarqués et Objets Connectés
(SoC²)**

GdR - 2995

<http://www.gdr-soc.cnrs.fr/>

Directeur : Ian O'CONNOR
PR1 : Ecole Centrale de Lyon – INL
ian.oconnor@ec-lyon.fr
Tél : 04 72 18 60 54 ; Fax : 04 78 43 35 93

Directrice adjointe : Cristell MANEUX
PR1 : Université de Bordeaux - IMS
cristell.maneux@ims-bordeaux.fr
Tél : 05 40 00 28 58 ; Fax : 05 56 37 15 45

Directeur adjoint : Sébastien PILLEMENT
PR2 : Ecole Polytechnique de l'Université de Nantes - IETR
sebastien.pillement@univ-nantes.fr
Tél : 02 40 68 30 64 ; Fax : 02 40 68 32 33

Sous-Directeur : Patrick GIRARD
DR1 CNRS : LIRMM – CNRS
patrick.girard@lirmm.fr
Tél : 04 67 41 86 29 ; Fax : 04 67 41 85 00

Janvier 2017

Préambule

L'objectif de ce Groupement de Recherche est d'étudier et de proposer de nouvelles approches pour la conception et la validation des systèmes embarqués pour les objets connectés. S'appuyant sur des systèmes intégrés complexes intégrant plusieurs milliards de dispositifs élémentaires sur une puce de silicium (SoC) ou utilisant de nouvelles approches intégratives (en trois dimensions par exemple), ces systèmes requièrent un large panel de recherche pluri-disciplinaire. Dans le cadre de ce GdR, l'accent est mis sur les architectures matérielles en prenant en compte leurs interactions avec les logiciels (applications, systèmes d'exploitation, reconfiguration) et l'environnement réel (analogique, communication radio-fréquence, capteurs et actuateurs). Pour cela, le groupement associe des compétences en électronique et micro-électronique (logique, analogique, RF), en informatique embarquée et temps-réel, et en physique (technologies émergentes). Les principaux défis actuels sont nombreux – réduire la consommation énergétique pour l'autonomie des systèmes embarqués et pour maîtriser le bilan carbone du calcul exascale, garantir la sécurité et l'intégrité des systèmes électroniques, maîtriser les coûts de conception et de validation des systèmes embarqués et de calcul, assurer l'adéquation des systèmes intégrés dans les objets connectés pour de multiples secteurs d'application (territoire intelligent, e-santé, sécurité des biens et des personnes, usine 4.0 ...). Le GdR propose de traiter ces différents défis de manière holistique et transverse en rassemblant les différentes communautés impliquées autour de ces problématiques.

Ce dossier est structuré en trois parties :

- Une présentation du GdR et de ses missions
- Le bilan global des activités du GdR pour la période 2014-2017
 - activités d'organisation, de structuration et de pilotage
 - activités d'animation des axes thématiques
- Le projet du GdR pour la période 2018-2021 :
 - la composition et les objectifs des structures d'animation scientifique
 - la structuration organisationnelle décrivant le fonctionnement du GdR ainsi que la stratégie de développement

PREAMBULE	2
PRESENTATION DU GDR	5
1. PRESENTATION DU DOMAINE	6
2. HISTORIQUE DU GDR	6
3. POSITIONNEMENT DU GDR	7
BILAN DU GDR SOC-SIP 2014-2017	9
1. ORGANISATION ET PILOTAGE DU GDR	10
2. GOUVERNANCE DU GDR	10
A. DIRECTION	10
B. COMITE DE PILOTAGE	10
C. COMITE DE SUIVI	12
3. ANIMATION THEMATIQUE	12
A. STRUCTURATION SCIENTIFIQUE	13
A. INSTRUMENTS D'ANIMATION	16
B. LISTE DES MANIFESTATIONS ORGANISEES, PILOTEES OU SOUTENUES PAR LE GDR	17
4. MISSIONS TRANSVERSALES	26
A. CHANTIERS	26
B. COMMUNICATION	27
C. CLASSEMENT DES PUBLICATIONS	27
D. PROSPECTIVE ET CONJONCTURE	27
E. SONDAGE ANR	27
5. BILAN FINANCIER	28
PROJET DU GDR SOC² 2018-2021	30
1. ORGANISATION ET PILOTAGE DU GDR	32
2. GOUVERNANCE	32
A. EQUIPE DE DIRECTION	32
B. COMITE D'ANIMATION	33
C. COMITE STRATEGIQUE	34
D. COMITE DE SUIVI	34
E. CLUB DES PARTENAIRES	34
3. ANIMATION SCIENTIFIQUE DU GDR	36
A. STRUCTURATION SCIENTIFIQUE	36
B. INSTRUMENTS D'ANIMATION	63
4. MISSIONS TRANSVERSALES	64
A. COMMUNICATION	64

B.	CLASSEMENT DES PUBLICATIONS	65
C.	RELATIONS INTERNATIONALES	66
D.	PARTENARIATS DU GDR	66
5.	MEMBRES DU GDR	68
A.	UNITES DE RECHERCHE	68
B.	EFFECTIFS	73
6.	RESSOURCES ET MOYENS	74
A.	RESSOURCES FINANCIERES	74
B.	RESSOURCES HUMAINES	74
C.	RESSOURCES PROPRES	74
7.	CONCLUSION	75
	ANNEXES	76
	ANNEXE 1 : PROGRAMMES DES COLLOQUES PAR ANNEE	77
	2013 (QUADRIENNAL PRECEDENT) : COLLOQUE NATIONAL DU GDR SOC-SiP, LYON	78
	2014 : COLLOQUE NATIONAL DU GDR SOC-SiP, PARIS	79
	2015 : BARCAMP SUR LES OBJETS CONNECTES, ILE D'OLERON	80
	2016 : COLLOQUE NATIONALE DU GDR SOC-SiP, NANTES	81
	ANNEXE 2 : CLASSEMENT DES PUBLICATIONS	82

GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



Présentation du GdR

1. Présentation du domaine

Le domaine de la conception des systèmes sur puce, systèmes embarqués et objets connectés est un domaine clé pour la Société de l'Information et de la Communication dans laquelle nous vivons, et plus particulièrement pour insuffler, accompagner et soutenir la mutation numérique. Les frontières du domaine s'étendent de la recherche sur les nouveaux composants micro-nano-électroniques / photoniques, à la recherche sur le calcul avancé et la gestion de l'information et de l'énergie, liée aux enjeux de l'informatique pervasive. De plus, il requière de la continuité entre ces grandes disciplines, intégrant les nouveaux dispositifs dans de nouvelles architectures et de nouveaux paradigmes de calcul (haute-performance, embarqué), de nouveaux moyens de stockage, de nouveaux média de communication (RF et optique) et d'interaction (capteurs et actionneurs). Les recherches dans le domaine des systèmes sur puce, fortement liés à l'évolution des technologies d'intégration, ont ouvert la voie à la création et à l'essor d'objets devenus maintenant indispensables : les cartes à puce, les smartphones et les tablettes (convertisseurs de données, transceivers RF CMOS, imageurs haute-résolution...), l'accès internet très haut-débit (ADSL2+, FTTH, LTE / 5G), ou encore les centres de calcul haute performance et les centres de traitement de données (architectures mémoires, communication très haut-débit, parallélisme massif...), qui sont au cœur de la mutation numérique. Les travaux sur les systèmes sur puce sont aussi en interaction forte avec le monde socio-économique (STMicroelectronics, Thales, NXP, Valeo, Bull, Airbus Defense & Space, etc., sans oublier les nombreuses PME/ETI de ce secteur économique...).

Ce GdR est par essence au cœur même de cette révolution numérique que nous vivons tous les jours. Naturellement, il s'articule avec les défis des composants et du calcul avancé, mais également avec (i) l'internet du futur et des objets en ce qui concerne l'infrastructure de communication, (ii) la robotique en ce qui concerne les systèmes cyberphysiques, (iii) la cybersécurité en ce qui concerne les techniques matérielles-logicielles pour la sécurité et la robustesse des systèmes intégrés.

2. Historique du GdR

Le GdR SOC² s'inscrit à la suite de plusieurs groupements de recherches soutenus par le CNRS depuis la fin des années 70 :

- Le "Groupement Circuits Intégrés Silicium" (GCIS) de 1979 à 1992, qui incluait un axe "Conception et CAO" ;
- Le GdR "Architectures de Machines Nouvelles" (AMN) de 1989 à 1995, qui était centré sur les architectures et les outils logiciels associés, en allant jusqu'à leur réalisation électronique ;
- Les GdRs "Groupement Architecture Physique sur Silicium" (GAPS) et CAO, de 1993 à 1999 ;
- Le Réseau Thématique Programmé sur les "Systems on Chip" (RTP SOC) de 2001 à 2004, avec en particulier les Actions Spécifiques "Consommation", "Nouvelles Technologies", "Systems on Chip Analog and Mixed Signal" (SOC-AMS), SOCLIB, "Operating Systems", "Architectures Reconfigurables Dynamiquement" et "Test" ;
- Le Comité d'Experts "Systems on Chip" de 2004 à 2006.

Le GdR SoC-SiP a été créé en 2007, avec Michel Renovell (LIRMM) comme directeur et Alain Greiner (LIP6) comme directeur-adjoint, et avec des Groupes de Travail principalement issus des Actions Spécifiques du RTP SOC, plus une thématique nouvelle concernant les « Systèmes Hétérogènes ». Il a été renouvelé en 2010 avec Michel Robert (LIRMM) comme directeur et Yann Deval (IMS) comme directeur-adjoint, puis en 2014 avec Patrick Garda (LIP6) comme directeur et Patrick Girard (LIRMM) et Ian O'Connor (INL) comme directeurs adjoints. En 2015, le GdR a accueilli les équipes

architectures et temps réel du pôle "Architecture" du GdR n° 725 ASR (Architectures, Systèmes, Réseaux) qui est devenu le GdR RSD (Réseaux et Systèmes Distribués).

Pour la communauté SOC², ce GdR constitue la structure nationale d'animation de la recherche, en complément de l'Unité Mixte de Service "Circuits Multi-Projets" (UMS 3040 CMP, créée en 1981) qui fournit principalement un accès aux technologies de fabrication de circuits intégrés, et du "Centre National de Formation à la Micro-électronique" (CNFM, créé en 1981) pour la formation et l'enseignement.

3. Positionnement du GdR

Le domaine couvert par le GdR est traditionnellement considéré comme un domaine fortement interdisciplinaire entre les aspects matériels et logiciels. Le GdR SOC² occupe ainsi une position originale à l'interface entre les communautés électronique, physique et informatique, et donc à l'interface entre les Instituts INSIS, qui est son rattachement principal, et INS2I du CNRS. Au CoNRS, ses membres sont principalement rattachés aux sections 7^a et 8^b. De plus, de nombreux membres du GdR SOC² sont des enseignant-chercheurs, appartenant aux sections 27^c, 61^d et 63^e du CNU, lorsqu'ils sont dans des établissements publics (quelques membres étant rattachés à des écoles d'ingénieur privées).

Le GdR rassemble une communauté large intégrée dans de nombreuses UMR relevant des instituts CNRS INSIS et INS2I, mais aussi dans des équipes d'accueil (EA) et des EPI-INRIA. Des liens forts sont établis avec d'autres EPST et EPIC tels que le CEA, et avec l'industrie.

^a Sciences de l'information: signaux, images, langues, automatique, robotique, interactions, systèmes intégrés matériel-logiciel

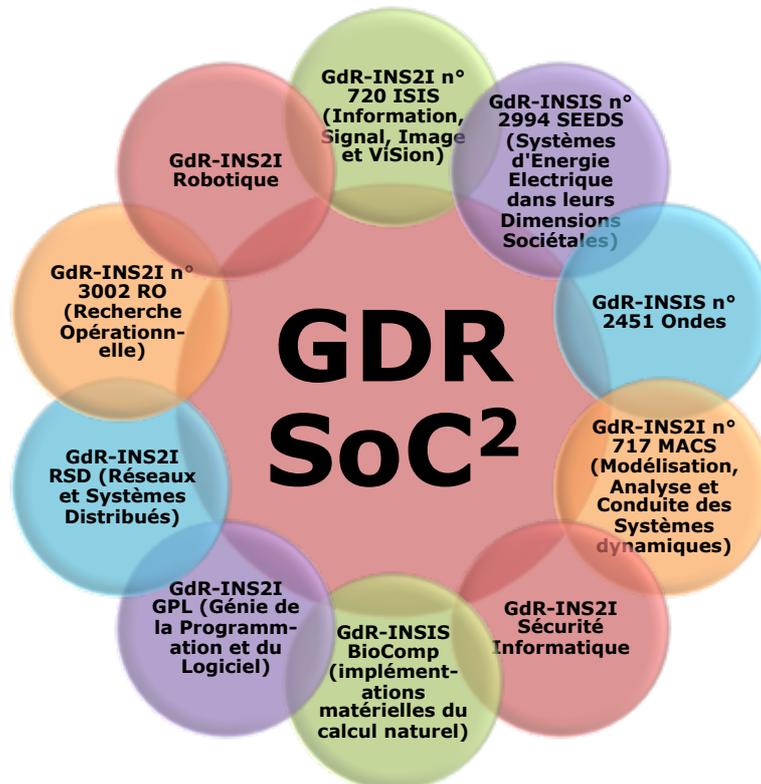
^b Micro et nano-technologies, électronique, photonique, électromagnétisme, énergie électrique

^c Génie Informatique (temps réel, architecture, réseaux), Automatique (automatique continue, robotique, productique), Traitement du Signal (information, signal, image, vision)

^d Algorithmique et combinatoire, Architecture des machines et des systèmes, Bioinformatique, Communication homme-machine, Génie logiciel et programmation, Informatique théorique ou fondamentale, Imagerie numérique, Intelligence artificielle, Recherche opérationnelle, Réseaux, Systèmes d'information, Systèmes informatiques

^e Composants et systèmes électriques, systèmes et composants électroniques et optiques, micro et nano-électronique, matériaux pour l'électronique et le génie électrique, électronique organique, photonique, télécommunications, antennes, électromagnétisme, micro-ondes, traitement du signal appliqué, acoustique, éclairage, instrumentation, génie biomédical, électrotechnique, systèmes d'éclairage, commande des systèmes électriques, électronique de puissance, plasmas froids, plasmas thermiques

Sur la carte des GdRs (figure ci-dessous), les GdRs connexes relèvent d'INSIS (SEEDS, Ondes, BioComp) et d'INS2I (ISIS, RSD, Robotique, MACS, Recherche Opérationnelle, GPL, Sécurité). Il est également à souligner que plusieurs membres du GdR SOC² sont également impliqués dans d'autres GdR ; en effet, la volonté du GdR SOC² est de s'appuyer sur son spectre large pour assurer les connexions entre les disciplines.



GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



Bilan du GdR SoC-SiP 2014-2017

1. Organisation et pilotage du GdR

Le GdR est organisé autour de quatre piliers, qui sont présentés successivement : la gouvernance, l'animation scientifique, les missions transversales et les partenaires.

2. Gouvernance du GdR

La structure de gouvernance du GDR SoC-SiP comprend :

- La Direction
- Le Comité de Pilotage
- Le Comité de Suivi

a. Direction

Le GdR est dirigé par un directeur, assisté par deux directeurs-adjoints.

- 2013-2016 :
 - Directeur : Patrick GARDA (PR, Université Pierre et Marie Curie – LIP6)
 - Directeur adjoint : Patrick GIRARD (DR, CNRS – LIRMM)
 - Directeur adjoint : Ian O'CONNOR (PR, Ecole Centrale de Lyon – INL)
 - Soutien administratif : Philippe GALAND (CNRS DR02 Délégation Paris B)
- 2017-présent : en anticipant la démission de Patrick GARDA avant la fin de son mandat de directeur, et suite au vote du comité de pilotage le 18 juillet 2016, une nouvelle équipe de direction s'est mise en place début 2017 pour assurer l'intérim et lancer les premières actions du projet de renouvellement
 - Directeur : Ian O'CONNOR (PR, Ecole Centrale de Lyon – INL)
 - Directeur adjoint : Cristell MANEUX (PR, Université de Bordeaux – IMS)
 - Directeur adjoint : Sébastien PILLEMENT (PR, Ecole Polytechnique Université de Nantes – IETR)
 - Sous-Directeur : Patrick GIRARD (DR, CNRS – LIRMM)
 - Soutien administratif : Philippe GALAND (CNRS DR02 Délégation Paris B)

Les membres de la direction se concertent par téléconférence, téléphone ou mail, ils se réunissent à l'occasion d'évènements de la communauté. La Direction du GdR a aussi participé aux Journées annuelles des DUs INSIS.

b. Comité de pilotage

Le Comité de Pilotage du GDR SoC-SiP comprend les membres suivants :

- la direction en exercice : directeur et directeurs-adjoints
- les membres des directions antérieures : directeurs et directeurs-adjoints
- les responsables et les responsables adjoints des thèmes, ainsi que les animateurs des thématiques
- les membres du GdR en charge des missions transversales
- des experts du domaine SoC-SiP.

Le Comité de Pilotage du GDR SoC-SiP est chargé :

1. de coordonner scientifiquement et de planifier les Journées Thématiques et les barcamps thématiques
2. de coordonner scientifiquement et de planifier l'organisation du colloque et des barcamps stratégiques

Le Comité de Pilotage du GDR SoC-SiP se réunit 2 à 3 fois par an à l'initiative du directeur du GDR :

- au printemps, pour faire le bilan de l'année écoulée et préparer le Colloque de Juin
- pendant le colloque national en juin, pour finaliser du programme d'animation du second semestre et suivre les activités du GDR
- à l'automne, pour préparer l'année à venir et finaliser le programme d'animation du premier semestre.

La composition du comité de pilotage du GdR SoC-SiP (30 membres) a été complétée en 2016 par l'arrivée de dix nouveaux animateurs.

Membres du comité de pilotage 2014-2017 :

Nom	Prénom	Laboratoire	Rôle	Axe
BELLEUDY	Cécile	LEAT	Resp. axe	Défis sociétaux
BENABDENBI	Mounir	TIMA	Animateur	Confiance matérielle
BERNARD	Serge	LIRMM	Animateur	Confiance matérielle
BOSSUET	Lilian	LHC	Resp. axe	Confiance matérielle
COUSSY	Philippe	Lab-STICC	Resp. adjoint axe	Architectures des systèmes numériques intégrés
DELTIMPLE	Nathalie	IMS	Animatrice	Systèmes Cyber Physiques
DESGREYS	Patricia	LTCI	Resp. adjointe axe	Systèmes Cyber Physiques
FAUCOU	Sébastien	IRCCYN	Animateur	Architectures des systèmes numériques intégrés
FLOTTE	Marie-Lise	LIRMM	Animatrice	Confiance matérielle
GARDA	Patrick	LIP6	Directeur	Défis sociétaux
GEORGE	Laurent	LIGM	Animateur	Architectures des systèmes numériques intégrés
GIRARD	Patrick	LIRMM	Sous-Directeur	Confiance matérielle
GOGNIAT	Guy	Lab-STICC	Resp. chantier	Confiance matérielle
GRANADO	Bertrand	LIP6	Resp. chantier	Architectures des systèmes numériques intégrés
HEBRARD	Luc	ICUBE	Animateur	Systèmes Cyber Physiques
KLEIN	Jacques-Olivier	IEF	Animateur	Systèmes Cyber Physiques
LEVEUGLE	Régis	TIMA	Animateur	Confiance matérielle
LOUÉRAT	Marie-Minerve	LIP6	Animatrice	Systèmes Cyber Physiques
MANEUX	Cristell	IMS	Resp. axe	Systèmes Cyber Physiques
MORIN-ALLORY	Katell	TIMA	Animatrice	Confiance matérielle
O'CONNOR	Ian	INL	Dir. adjoint	Systèmes Cyber Physiques
PETROT	Frédéric	TIMA	Animateur	Architectures des systèmes numériques intégrés
PILLEMENT	Sébastien	IETR	Resp. axe	Architectures des systèmes numériques intégrés
RENAUD	Sylvie	IMS	Animatrice	Défis sociétaux
RENOVELL	Michel	LIRMM	Ex-Dir.	Confiance matérielle
ROMAIN	Olivier	ETIS	Animateur	Défis sociétaux
SASSATELLI	Gilles	LIRMM	Animateur	Architectures des systèmes numériques intégrés
SENTIEYS	Olivier	IRISA	Resp. chantier	Architectures des systèmes numériques intégrés
TORRES	Lionel	LIRMM	Resp. chantier	Architectures des systèmes numériques intégrés
WAJSBURT	Franck	LIP6	Animateur	Architectures des systèmes numériques intégrés

Nouveaux membres du comité de pilotage 2016-2017 :

Nom	Prénom	Laboratoire	Rôle	Axe
NIAR	Smail	LAMIH	Animateur	Architectures des systèmes numériques intégrés
BERRY	François	Institut Pascal	Animateur	Architectures des systèmes numériques intégrés
BARTHELEMY	Hervé	IN2MP	Animateur	Systèmes Cyber Physiques
LE BEUX	Sébastien	INL	Animateur	Systèmes Cyber Physiques
CHILLET	Daniel	IRISA	Animateur	Défis sociétaux
PELCAT	Maxime	IETR	Animateur	Architectures des systèmes numériques intégrés
BOUTILLON	Emmanuel	Lab-STICC	Animateur	Architectures des systèmes numériques intégrés
MARTIN	Kevin	Lab-STICC	Animateur	Architectures des systèmes numériques intégrés
BOUNCEUR	Ahcene	Lab-STICC	Animateur	Défis sociétaux
DALLET	Dominique	IMS	Resp. chantier	Systèmes Cyber Physiques

Réunions du comité de pilotage :

Date	Lieu	Ordre du jour
27/1/2014	Paris (UPMC)	Informations diverses ; Renouveau 2014-2018 ; Crédits ; Projet d'évolution du GdR ; Programmation journées scientifiques S1 2014 ; Colloque 2014 ; Chantiers (Rapport de conjoncture, Site WEB, Cartographie) ; Questions diverses
11/6/2014	Paris (Télécom ParisTech)	Informations diverses ; Axes de recherche ; Colloque 2014 ; GdR BioComp ; Journées thématiques ; Chantiers (site web, club partenaires, cartographie) ; Ecoles thématiques ; Questions diverses
5/12/2014	Visio	Informations diverses ; Organisation du barcamp 2015 et de la participation du GdR SoC-SiP aux JNRDM 2015 ; Journées Thématiques prévues au 1er semestre 2015 ; Chantiers (club des partenaires, cartographie, site web, publications) ; Questions diverses
30/3/2015	Paris (UPMC)	Barcamp objets connectés (programme, participants) ; Evolution du GdR ASR ; Budget ; Journées thématiques et autres évènements 2015 ; Chantiers ; News et questions diverses
15/4/2015	Visio	Barcamp objets connectés
12/5/2015	Visio	Barcamp objets connectés
6/7/2015	Paris (UPMC)	Debriefing du barcamp "Objets connectés et défis sociétaux" ; Relations avec ASR ; Journées thématiques et autres actions 2015 ; Colloque 2016 et autres évènements 2016 ; questions diverses
23/11/2015	Paris (UPMC)	Composition du Comité de pilotage (intégration Sébastien Faucou et Laurent George, ex-GdR ASR) ; Lien avec ASR/RSD ; Barcamp Archi 1 du 22/1/2016 ; Journée Objets connectés du 5/2/2016 ; Colloque 2016 à Nantes ; Journées et écoles thématiques, barcamps ; Bilan et prévisions ; Demandes (JNRDM 2016, EPS 2016, RNTS 2016) ; Chantiers ; Budget ; Questions diverses
8/6/2016	Nantes (IETR)	Déroulement du colloque national ; Demandes de soutien 2e semestre 2016 (RTNS, Journées de la section électronique du Club EEA "Mémoires émergentes et Memristors pour le traitement et le stockage de l'information") ; Questions diverses
18/7/2016	Paris (UPMC)	Bilan du colloque 2016 ; Préparation du renouvellement du GDR - vote sur le portage par Ian O'Connor ; Renouvellement du COPIL ; Bilan financier 2016 ; Barcamps 2017 ; Intégration communauté archi ASR (barcamp archi, vecteurs de publication, COMPAS, RTNS) ; JT Objets connectés et relations avec RSD ; Demandes de subvention : cas des conférences nationales ; Projets de JTs, écoles thématiques, barcamps, etc ; Site web ; Club des partenaires ; Questions diverses
1-2/12/2016	Lyon (INL)	Jour 1 : Structuration organisationnelle, Stratégie de développement Introduction et tour de table ; Partenaires industriels et club des partenaires ; Liens instances / organismes ; Communication ; International ; Classement des publications ; Points divers ; Préparation du travail de rédaction Jour 2 : Structuration thématique, Animation Introduction plénière et tour de table ; Discussion par axe : défis et verrous du domaine, objectifs scientifiques de recherche ; Discussion par axe : suite, propositions de groupes de travail et d'actions d'animation ; Restitution plénière - synthèse par axe ; Préparation du travail de rédaction

c. Comité de suivi

Le Comité de Suivi du GdR SoC-SiP comprend les membres suivants :

- la direction en exercice : directeur et directeur(s) adjoint(s)
- les membres du GdR en charge des missions transversales

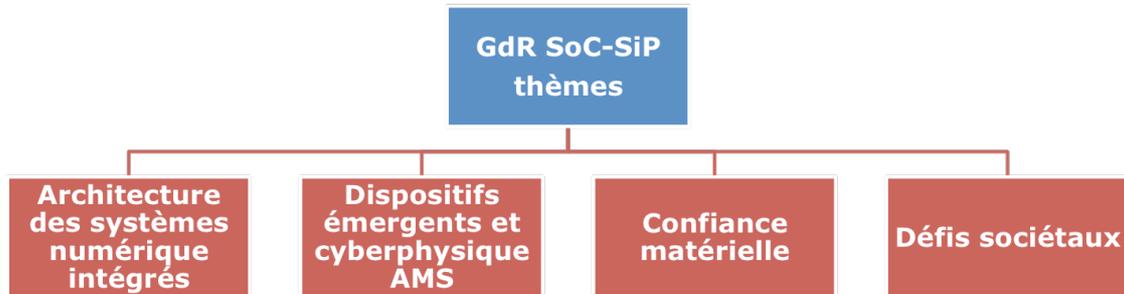
Le Comité de Suivi suit l'avancement des missions transversales du GdR SoC-SiP. Le Comité de Suivi s'est réuni tous les mois par téléconférence pour suivre la mise en œuvre opérationnelle des décisions du comité de pilotage, de l'organisation des journées thématiques et des chantiers.

3. Animation thématique

L'animation scientifique du GdR SoC-SiP est assurée par des membres de la communauté qui prennent des engagements au sein du GdR. Le domaine scientifique est structuré en plusieurs axes scientifiques, qui incluent plusieurs thématiques connexes. Différentes activités d'animation sont mises en œuvre.

a. Structuration scientifique

La structuration scientifique du GdR est organisée autour des 4 axes définis fin 2013 : Architecture des systèmes numériques intégrés, Dispositifs émergents et cyberphysique AMS, Confiance matérielle, Défis sociétaux.



En 2015, le GdR SoC-SiP a accueilli les équipes architectures et temps réel du pôle "Architecture" du GdR ASR, qui est devenu le GdR RSD et recentré sur les domaines des réseaux et des systèmes distribués. Ces évolutions ont conduit à de nombreuses concertations pour affiner la structuration thématique du GdR. Le Comité de Pilotage du GdR SoC-SiP a décidé, lors de sa réunion du 23 novembre 2015, d'accueillir deux nouveaux animateurs, Sébastien Faucou pour le logiciel embarqué et Laurent George pour le temps réel, en concertation avec les équipes du pôle "Architecture" de l'ex-GdR ASR. Le GdR a mis en place un barcamp avec l'ensemble des équipes en architecture, qui a réuni 50 permanents le 22 janvier 2016, pour cartographier les verrous scientifiques du domaine. Ensuite, une journée thématique sur les objets connectés a été co-organisée par les GdRs RSD et SoC-SiP le 29 mars 2016. Enfin, le colloque 2016 du GdR a été co-organisé à Nantes par des animateurs en architecture issus de ASR et de SoC-SiP.

De manière générale, les Groupes de Travail (GTs) sont chargés de l'animation et de la structuration de la communauté dans le périmètre scientifique de leur thème. Ils contribuent aussi à toutes les actions communes d'animation, de structuration et de prospective du GdR SoC-SiP.

La structure d'animation du thème comprend un responsable, un responsable-adjoint, et des animateurs. Le responsable est chargé de coordonner l'organisation des activités concernant le thème du GT, les relations avec les autres GTs et GdRs connexes, les contributions du GT aux activités et aux missions transversales du GdR. Le responsable-adjoint remplace le responsable le cas échéant.

Les animateurs sont chargés de proposer et d'organiser les activités dans leur thématique, et de contribuer aux activités communes et aux missions transversales du GdR, en coordination avec le responsable de leur GT et les animateurs des autres thématiques concernées le cas échéant.

Les paragraphes qui suivent décrivent les 4 axes thématiques du GdR.

Architectures des systèmes numériques intégrés

Responsable : Sébastien Pillement – Responsable adjoint : Philippe Coussy

Animateurs : Sébastien Faucou, Laurent Georges, Loïc Lagadec, Franck Wajsburt

Les objectifs de l'axe "architecture logicielle et matérielle des systèmes numériques intégrés" sont d'assurer la continuité entre les besoins de nouvelles architectures et de nouveaux paradigmes de calcul (haute-performance, embarqué), les méthodes de conception et outils associés adaptés à ces nouveaux besoins, et les recherches liées aux enjeux de l'informatique embarquée.

La recherche en architecture de systèmes embarqués permet la conception des objets connectés et intelligents en tirant parti des nouvelles technologies et en jouant le rôle d'interface avec la recherche en logiciels embarqués. L'architecture matérielle idéale est : adaptative (offrant le meilleur compromis de calculs par unité d'énergie) ; complète (contenant les capteurs, les calculateurs et la connexion aux réseaux) ; sûre, résiliente et hautement disponible (fonctionnant malgré les fautes et les pannes) ; et interopérable (capable de communiquer avec plusieurs réseaux suivant plusieurs protocoles).

Les architectes doivent proposer des solutions pour gérer : le vieillissement des circuits ; les variations des procédés de fabrication ; l'intégration de technologies hétérogènes (analogiques, mécaniques, ...) ; l'émergence de la troisième dimension des circuits ; la montée du parallélisme des systèmes ; et enfin la consommation énergétique. Ils doivent sans cesse repenser leurs outils de conception et de validation. Les futures solutions architecturales seront nécessairement matérielles et logicielles, intégreront des systèmes d'exploitation embarqués, et reposeront sur les dernières avancées technologiques (fin de la Loi de Moore).

La recherche en logiciels embarqués permet quant à elle d'optimiser l'exploitation de ces architectures en intégrant aux objectifs de réalisation des composants logiciels des critères de niveau système (adaptabilité, sécurité, sûreté de fonctionnement, résilience) et des critères plus spécifiquement logiciels, en particulier le temps réel. Aujourd'hui, les défis à relever pour atteindre ces objectifs sont largement liés à la montée du parallélisme des systèmes et à l'hétérogénéité des architectures.

Cet axe du GdR requiert donc compétences interdisciplinaires entre les aspects matériels et logiciels, mais nécessite aussi de fortes interactions avec les disciplines de la micro-électronique et ayant des besoins applicatifs nouveaux et ambitieux.

Dispositifs émergents et systèmes cyberphysiques

Responsable : Cristell Maneux – Responsable adjointe : Patricia Desgreys

Animateurs : Nathalie Deltimple, Luc Hébrard, Jacques-Olivier Klein, Marie-Minerve Louërat

A l'heure où les systèmes informatiques en réseau sont toujours plus présents dans notre quotidien et où les systèmes électroniques s'orientent vers une rupture technologique alternative à la loi de Moore, les mondes informatique et physique fusionnent pour évoluer vers les systèmes cyber-physiques. Cette fusion vise à améliorer le lien entre les éléments de calcul et physiques pour accroître la capacité d'adaptation, l'autonomie, l'efficacité, la fonctionnalité, la fiabilité et la sécurité des systèmes du futur. Pour relever ces défis, l'axe Systèmes Cyber-Physiques et Dispositifs Émergents du GdR SoC-SiP est structuré pour couvrir les domaines complémentaires de la recherche sur les systèmes électroniques et leurs interactions :

- L'accroissement des fonctionnalités des systèmes nécessite de prendre en compte, dès leur conception, leur dimension hétérogène tant sur les aspects relevant de l'hétérogénéité des technologies assemblées que des fonctions logicielles et matérielles étroitement intriquées, mais aussi des fonctions numériques et analogiques.
- La prise en compte de la gestion de la consommation oriente la conception vers plus de modularité et d'agilité. Les interfaces de communications intelligentes conçues dans cet objectif utilisent à la fois l'interaction avec le monde réel (capteurs intelligents, récupération d'énergie), la connaissance du réseau (radio cognitive), la puissance du numérique (adaptation, correction) ainsi que l'usage auquel est destinée la donnée (Compressed sensing, A to I converter).
- Les progrès des nano-composants et de leurs figures de mérites comparées au CMOS permet d'envisager leur intégration au niveau circuit et système. Ainsi, le développement des approches

de conception, partant de la caractérisation des nano-composants, de leur modélisation compacte, de leur intégration dans des circuits souvent mixtes, analogiques/numériques, et hybrides est un véritable enjeu qui peut mener jusqu'à de nouvelles applications, pour lesquelles des fonctionnalités innovantes plus pertinentes permettront de dépasser les limitations des architectures classiques dans de nouveaux modes de calcul et guidant ainsi d'éventuels nouveaux choix technologiques.

Confiance matérielle

Responsable : Lilian Bossuet – Responsable adjointe : Marie-Lise Flottes

Animateurs : Mounir Benabdenbi, Serge Bernard, Katell Morin-Allory

L'environnement des systèmes sur puce évoluant vers plus de complexité, de connectivité et de mobilité, le maître mot de leur développement futur est la confiance. Celle-ci se décline transversalement suivant les besoins. Confiance dans la capacité des systèmes à résister à des attaques visant la confidentialité et l'intégrité des informations dont ils assurent le traitement. Confiance dans la traçabilité fournie par les systèmes quant à leur conception et à leur origine afin de prévenir les fraudes et les vols. Confiance dans le fonctionnement des systèmes même soumis à des perturbations environnementales d'autant plus invasives que les technologies micro-électroniques/photoniques atteignent les dimensions aux limites de la physique. Confiance dans la robustesse des systèmes aux variations de paramètres lors de la conception et de l'usage. La confiance ne s'acquière qu'à travers des méthodes et des outils qui permettent la vérification, au plus tôt et dans toutes les phases de conception, des propriétés de sécurité, de sûreté et de testabilité. Elle est confirmée par le test après fabrication et durant l'usage des systèmes. Les principaux défis qui se posent alors à la communauté de chercheurs du GDR SoC-SiP sur cet axe sont l'adaptation des méthodologies aux technologies à venir (technologies 3D, nano-électronique, ultra-low-power) et le passage à l'échelle en termes de complexité, densité d'intégration, de fusion du logiciel et du matériel, et d'hétérogénéité des systèmes.

Cet axe rassemble trois groupes thématiques :

- Test & Tolérance de SoC/SiP
- Sécurité des systèmes matériels
- Vérification

Défis sociétaux

Responsable : Cécile Belleudy

Animateurs : Fabien Mieyeville, Sylvie Renaud, Olivier Romain, Eric Senn

Les grandes problématiques sociétales se retrouvent dans les domaines d'application des recherches du GdR SoC-SiP, en particulier les systèmes embarqués pour la santé, et le développement durable ou la maîtrise de la consommation énergétique des systèmes embarqués.

- Les systèmes embarqués pour la santé (SES) sont des dispositifs électroniques biocompatibles soumis à de fortes contraintes liées au milieu vivant et à l'application. En effet, un tel système est défini par son architecture d'une part, et par ses interactions (IHM, milieu biologique, etc) d'autre part. Le principal verrou méthodologique réside dans le caractère multidisciplinaire, qui nécessite l'interaction et la collaboration d'acteurs du secteur de la santé et des technologies de l'information.
- Un problème majeur pour la conception des SoC-SiP est la maîtrise de la consommation énergétique, tant du point de vue de la puissance dissipée qui génère des problèmes thermiques et la nécessité d'user de dispositifs de refroidissement coûteux, que du point de vue de l'énergie

due à des besoins croissants en puissance de calcul et une évolution limitée des possibilités des batteries. De plus, c'est un problème complexe car de nombreux paramètres sont interdépendants, nécessitant des compromis tels que celui bien connu en Performance-Surface-Consommation (Area-Time-Power ou ATP). Enfin, on peut constater que la consommation est un problème transversal nécessitant une approche globale pour être efficace : il faut donc agir aux différents niveaux (physique, logique, architectural, comportemental et système).

a. Instruments d'animation

Journées thématiques

Les GTs du GdR organisent des journées thématiques, qui peuvent consister en exposés, présentations invitées, ou débats sur un thème.

Le processus de programmation des Journées Thématiques est le suivant :

- l'animateur d'une thématique propose au Comité de Pilotage un programme pour une journée thématique sur un sujet particulier. Pour des thèmes transversaux, une JT peut être organisée conjointement par plusieurs GT, ainsi que par des GTs appartenant à plusieurs GdRs
- le Comité de Pilotage valide (ou non) les propositions de Journées Thématiques après présentation et discussions lors des réunions pour finaliser la programmation des journées du semestre suivant

Lorsque la programmation est finalisée, la journée est annoncée via les moyens de communication du GdR. Les personnes intéressées s'inscrivent auprès de l'animateur et assistent à la journée. Après la journée, l'animateur en rédige un bref compte-rendu, qui indique en particulier le nombre de participants, et qui est archivé avec les présentations ou travaux effectués.

Des journées thématiques sont organisées en partenariat avec d'autres GDR.

Enfin, des propositions peuvent émaner directement de la communauté pour l'organisation de journées sur des thèmes particuliers. Dans ce cas, l'animateur de la thématique la plus proche sera co-organisateur et facilitateur.

10 réunions sont organisées par les axes thématiques chaque année, dont certaines communes à plusieurs axes ou avec d'autres GdR.

Barcamps

Les GTs peuvent aussi organiser différentes formes de « remue-méninges » (brain-storming) collectifs, ou des barcamps thématiques. Le processus de programmation est le même que pour les Journées Thématiques.

Des barcamps stratégiques sont également organisés par chaque thème. Notamment un barcamp des membres permanents a été organisé en mai 2015 sur la thématique "Objets connectés : défis sociétaux et SoC-SiP". Celui-ci a remplacé le colloque annuel en 2015.

Colloque national annuel

En tant que structure d'animation de la communauté, le GdR lui donne l'opportunité de se rencontrer dans son ensemble pendant le Colloque National. Ce colloque se déroule tous les ans au mois de juin dans des locaux gracieusement mis à disposition par un établissement tutelle du laboratoire organisateur. Le colloque réunit tous les ans plus de 150 personnes et témoigne de l'effet positif et important du GdR sur la structuration et l'animation de la communauté. Ce

rassemblement permet bien évidemment des échanges sur les plans scientifique et institutionnel et stimule entre autres l'implication des membres du GdR dans l'organisation de manifestations scientifiques à l'échelle internationale, ainsi que dans les instances aux échelles nationale (CoNRS, CNU, ANR ...) et internationale (URSI, IFIP ...).

Soutien aux écoles thématiques

Les animateurs du GdR ont contribué à l'organisation des Ecoles thématiques FETCH et ARCHI 2015 et au colloque international COMET – Cosmetic Measurement and Test (IEEE) à Cergy-Pontoise les 8-9 juin 2015. Le GdR a également contribué financièrement aux JNRDM 2015 pour favoriser la participation des doctorants SoC-SiP en l'absence du colloque national 2015, remplacé par le barcamp "Objets Connectés : défis sociétaux et SoC-SiP".

b. Liste des manifestations organisées, pilotées ou soutenues par le GdR

Sur la période 2013-2016, le GdR a organisé 32 Journées Thématiques et barcamps scientifiques, soutenu 9 écoles thématiques, et organisé 3 colloques ainsi qu'un barcamp stratégique.

2013 ^f	Animations	Organisateurs	Lieu
29/3/2013	<i>Barcamp : Mise en place de l'action plateforme reconfigurable virtuelle</i>	<i>GdR SoC-SiP GT Architectures Reconfigurables</i>	<i>Paris (UPMC)</i>
8/4/2013	<i>Journée thématique : Etat de l'art sur SystemC-AMS, des spécifications à la pratique réelle</i>	<i>GdR SoC-SiP GT Systèmes Hétérogènes</i>	<i>Paris (UPMC)</i>
17/5/2013	<i>Journée thématique : Circuits 3D</i>	<i>GdR SoC-SiP GT Test & Tolérance aux fautes</i>	<i>Grenoble (TIMA)</i>
10-12/6/2013	<i>Colloque national du GdR SoC-SiP 159 participants</i>	<i>GdR SoC-SiP</i>	<i>Lyon (INL)</i>
2/7/2013	<i>Journée thématique : Utilisation de codes détecteurs et/ou correcteurs d'erreurs pour fiabiliser les traitements numériques au sein de circuits non fiables</i>	<i>GdR ISIS / GdR SoC-SiP GT Architectures reconfigurables + GT Test et tolérance de SoC / SiP</i>	<i>Paris (Télécom ParisTech)</i>
4/10/2013	<i>Journée thématique : L'éco-radio-intelligente</i>	<i>GdR SoC-SiP – GT AMS&RF</i>	<i>Bordeaux (IMS)</i>
7-8/11/2013	<i>Soutien et implication : Journées Electroniques 2013 "Electronique et Santé"</i>	<i>Club EEA / GdR SoC-SiP / GdR STIC-Santé / SEE / CNFM</i>	<i>Limoges (Xlim)</i>
20/11/2013	<i>Journée thématique : Sécurité Numérique du GDR SoC-SiP : La sécurité pour RFID et NFC</i>	<i>GdR SoC-SiP – Axe Confiance matérielle</i>	<i>Paris (Télécom ParisTech)</i>
26/11/2013	<i>Journée thématique : Aspects thermiques et consommation dans les SoC-SiP</i>	<i>GdR SoC-SiP – GT Consommation et Energie</i>	<i>Lyon (INL)</i>
2014	Animations	Organisateurs	Lieu
15/1/2014	<i>Barcamp : Elaboration Plate-forme virtuelle reconfigurable</i>	<i>GdR SoC-SiP Axe Architectures des systèmes numériques intégrés</i>	<i>Nantes</i>
	<i>Cette réunion fut la dernière d'une animation visant à structurer la recherche nationale autour des plateformes reconfigurables. Une demande de support CNRS pour un ingénieur plateforme à été par la suite déposée (demande non-retenue).</i>		

^f fin du quadriennal précédent

19-23/5/2014	<i>Soutien et implication : Ecole thématique CNRS ECOFAC (Ecole conception faible consommation)</i>	<i>ENSIBS, Lab-STICC, GdR SoC-SiP Axe Défis sociétaux</i>	<i>Lorient</i>
	<p>Cette école a pour but d'offrir une formation sur le thème de la conception faible consommation. Des aspects à la fois architecturaux pour le traitement et la transmission de donnée dans un cadre générale mais aussi pour des applications comme par exemple l'e-santé ont été présentés. Ces présentations comportaient à la fois des approches pour l'estimation et l'optimisation de la consommation d'énergie. Les systèmes de récupération d'énergie ainsi que l'autonomie des objets connectés a aussi fait l'objet de cours. Cette école a permis lors de table ronde de réunir des chercheurs du domaine et d'ouvrir des discussions sur les enjeux et les défis. 55 participants</p>		
11-13/6/2014	<i>Colloque nationale du GdR SoC-SiP 202 participants</i>	<i>GdR SoC-SiP</i>	<i>Paris (Télécom ParisTech)</i>
1-2/7/2014	<i>Soutien et implication : Journées NeuroSTIC 2014</i>	<i>GdR ISIS, GdR SoC-SiP, GdR BioComp, GdR Robotique</i>	<i>Cergy-Pontoise (ETIS)</i>
	<p>Les journées NeuroSTIC offrent depuis plusieurs années un cadre inter-disciplinaire unique pour mettre en relation les systèmes bio-mimétiques de traitement de l'information et leur modèles biologiques sous-jacents. Cette voie prend un souffle nouveau à l'heure où de nombreux indicateurs technologiques, informatiques et sociaux montrent un écart croissant entre la complexité des systèmes de calcul (parallélisme massif, architecture micro et nano électronique, big data, réseaux sociaux, interaction homme-machine) et la capacité à les concevoir, les programmer, ou à les maîtriser. Ces journées fédèrent des secteurs de recherche souvent disjoints, à la croisée de nombreuses disciplines scientifiques, comme les neurosciences, l'informatique, les sciences cognitives, le traitement du signal et l'électronique. pour mettre en commun les modèles biologiques et les systèmes artificiels qui les imitent dans leur dimension computationnelle. Nombre de présentations : 11 présentations, 13 posters Nombre de participants : 70 participants, 25 laboratoires</p>		
12/9/2014	<i>Journée thématique : Acquisition et échantillonnage comprimé : quelles réalisations / applications pratiques ?</i>	<i>GdR ISIS, GdR SoC-SiP Axe Dispositifs émergents et cyberphysique AMS</i>	<i>Paris (Télécom ParisTech)</i>
	<p>Cette journée thématique organisée conjointement par les GdR ISIS et SoC-SiP est consacrée aux applications concrètes des travaux dans le domaine de l'acquisition comprimée (ou Compressed Sensing, CS). Nombre de présentations/orateurs : 9 Nombre de participants : 65 Nombre de laboratoires représentés : 21</p>		
23/10/2014	<i>Journée thématique : Smart Power ICs in Automotive</i>	<i>GdR SoC-SiP Axe Dispositifs émergents et cyberphysique AMS</i>	<i>Paris (UPMC)</i>
	<p>Programme : Fast Prototyping using AMS High Voltage IC for Electronic for Interface in Heavy Duty 24V Alternator Regulator Applications Smart Power Substrate Parasitic Modeling Process Design Kit Development Design and Characterization of Benchmark structures Industrial Evaluation and Demonstration Presentation of STMicroelectronics Automotive Electro-Thermal Simulation of Smart Power ICs Nombre de présentations : 7 Nombre de participants + nombre de laboratoires représentés : environ 25</p>		
4/11/2014	<i>Journée thématique : Architecture de codes correcteurs d'erreurs</i>	<i>GdR SoC-SiP Axe Architectures des systèmes numériques intégrés</i>	<i>Télécom Bretagne</i>
	<p>Cette journée thématique est consacrée aux besoins industriels de maîtriser les codes correcteurs d'erreurs dans plusieurs applications : Radio (civil et défense), Satellite, Optique, Mémoire (Flash, Disque dur). Nombre de présentations : 10 Nombre de participants + nombre de laboratoires représentés Nombre de participants : 7 laboratoires, 4 instituts de recherche / établissement internationaux, 4 industriels</p>		

6/11/2014	<i>Journée thématique : Enjeux et solutions pour la synchronisation matérielle des communications dans les systèmes sur puce</i>	<i>GdR SoC-SiP Axe Architectures des systèmes numériques intégrés et Axe Dispositifs émergents et cyberphysique AMS</i>	<i>Paris (UPMC)</i>
<p>L'objectif de la journée est de se pencher sur les problèmes concernant les communications dans les grands systèmes sur puce (SoC), et en particulier, sur la synchronisation de ces communications au niveau physique. Au fur et à mesure que la taille des SoCs augmente, la communication entre les sous-systèmes d'un circuit devient un enjeu central définissant les performances du système.</p> <p>Nombre de présentations/orateurs : 4 Nombre de participants + nombre de laboratoires représentés : environ 25, 7 laboratoires Retombées : collaboration entre les équipes CIAN et REGAL du LIP6 suite à cette journée</p>			
21/11/2014	<i>Journée thématique : Fiabilité et sécurité des FPGA</i>	<i>GdR SoC-SiP Axe Confiance matérielle</i>	<i>Paris (Télécom ParisTech)</i>
<p>L'objectif de cette journée est de mettre en avant les problématiques de la tolérance aux fautes, de la fiabilité et de la sécurité des circuits FPGAs et de nourrir une discussion sur les défis à relever. La journée est basée sur des présentations d'experts du domaine qui illustreront par des cas concrets leur vision d'industriel ou d'académique.</p> <p>Les présentations de la journée :</p> <ul style="list-style-type: none"> - Reliability limits of Triple Modular Redundancy implemented in SRAM-based FPGAs: heavy-ion results vs. prediction - Conception d'un FPGA tolérant aux défauts - Conception d'un FPGA personnalisé en arbre, robuste face aux attaques par canaux auxiliaires - Efficient Use of Block RAMs in FPGAs for secure cryptography <p>45 participants, 15 laboratoires représentés</p>			
4/12/2014	<i>Journée thématique : Les attaques par canaux cachés</i>	<i>GdR SoC-SiP Axe Confiance matérielle</i>	<i>Paris (Télécom ParisTech)</i>
<p>Les attaques par canaux cachés continuent d'évoluer tant sur l'efficacité des attaques et des contremesures que sur leurs évaluations. Les attaques par analyse ont particulièrement évolué ces dernières années par l'utilisation de moyens de traitement de l'information plus sophistiqués et plus performants. Elles sont aussi de plus en plus étudiées pour d'autres objectifs que la découverte de clés secrètes, c'est le cas pour la conception de matériel de confiance. Dans ce cadre, l'objectif de cette journée est de faire un point sur les dernières avancées et connaissances dans le domaine des attaques par canaux cachés.</p> <p>Les présentations de la journée :</p> <ul style="list-style-type: none"> - Résultats récents dans le domaine des attaques par canaux auxiliaires - Exploiting Side-Channel Traces: the Impact of Computing Power - First-Order & High-Order Optimal Distinguishers - PAIOLI: Power Analysis Immunity by Offsetting Leakage Intensity - Analyse de la consommation de puissance appliquée à la vérification du marquage d'IP <p>38 participants, 9 laboratoires représentés</p>			
4/12/2014	<i>Journée thématique : Connexion intelligente du futur : quels défis technologiques & sociétaux ?</i>	<i>GdR SoC-SiP Axe Défis sociétaux, GdR Ondes</i>	<i>Paris (Télécom ParisTech)</i>
<p>L'objectif de cette journée fut de réunir les acteurs, autour de la conception des futurs objets connectés, issus des communautés des GDR Ondes et SoC/SiP c'est-à-dire de poser les problématiques liées à la collecte de données, le traitement et la transmission en proposant une qualité de service acceptable vis-à-vis en outre de l'autonomie de ces objets, et d'identifier à la fois les défis et les enjeux sous-jacents.</p> <p>Les présentations :</p> <ul style="list-style-type: none"> In the Field Communication Approaches for the objects of the Internet of Things Transceivers RF reconfigurables en énergie : leurre ou opportunité ? Discussion autour d'une technologie naissante Gestion de l'énergie des nœuds de capteurs en fonction de leur environnement Antennes reconfigurables en directivité dans les réseaux de capteurs : défis et verrous associés Une approche système des réseaux de capteurs Antennes sur substrats souples pour applications de télécommunication et de récupération d'énergie sans fil Synergie : SYstème versatile de mesure d'ÉNERGIE dans les réseaux de capteurs Architecture multibandes en mode impulsif pour communications nomades haut débit autour de 60 GHz <p>Nombre de présentations : 8</p>			

	<p>Nombre de participants : 38 Nombre de laboratoire : 16</p>		
8/12/2014	<p><i>Journée thématique : simulation, vérification et synthèse à partir de TLM</i></p>	<p><i>GdR SoC-SiP Axe Confiance matérielle</i></p>	<p><i>Paris (Télécom ParisTech)</i></p>
	<p>SystemC-TLM s'est imposé de facto comme un standard pour la modélisation d'éléments matériels et logiciels des systèmes sur puce. La complexité des systèmes développés nécessite l'emploi de méthodes et outils permettant d'améliorer leurs garanties fonctionnelles. Cette journée aborde différentes problématiques : la mise en œuvre de modèles temporisés précis tout en garantissant de bonnes performances de simulation ; la vérification dynamique au travers de moniteurs ; et les besoins industriels en terme de modélisation haut niveau.</p> <p>Les présentations de la journée :</p> <ul style="list-style-type: none"> - Modélisation, Simulation et Vérification de Systèmes Hétérogènes Complexes à Haut Niveau d'abstraction - De la modélisation abstraite à la modélisation physique - Une approche de conception pour générer automatiquement des moniteurs sur puce pendant la synthèse de haut niveau d'accélérateurs matériels - Vérification dynamique de plateformes virtuelles SystemC TLM - Modélisation du temps et parallélisme dans les simulateurs à événements discrets pour les systèmes sur puces <p>23 participants, 8 laboratoires représentés</p>		
2015	Animations	Organisateurs	Lieu
7-9/1/2015	<p><i>Soutien : FETCH - Ecole d'hiver Francophone sur les Technologies de Conception des Systèmes embarqués Hétérogènes</i></p>	<p><i>Ecole Polytechnique de Montréal, CEA, Ecole Centrale de Lyon, Université Catholique de Louvain-la-Neuve, GdR SoC-SiP</i></p>	<p><i>Louvain-la-Neuve (BE)</i></p>
7/4/2015	<p><i>Journée thématique : Consommation et nouvelles sources d'énergie pour les systèmes embarqués pour la santé</i></p>	<p><i>GdR SoC-SiP GT Défis sociétaux</i></p>	<p><i>Paris</i></p>
5-7/5/2015	<p><i>Soutien : Journées Nationales du Réseau Doctoral en Micro-nanoélectronique</i></p>	<p><i>CNRS – IMS – INP Bordeaux – Université Bordeaux – GdR SoC-SiP</i></p>	<p><i>Bordeaux</i></p>
19-21/5/2015	<p><i>Barcamp : Objets connectés – défis sociétaux et SoC-SiP</i></p>	<p><i>GdR SoC-SiP</i></p>	<p><i>Oléron</i></p>
	<p>L'objectif de ce barcamp est d'explorer les liens entre plusieurs défis sociétaux et les axes de recherche du GdR SoC-SiP via les objets connectés. En particulier, les défis sociétaux à traiter concernent :</p> <ul style="list-style-type: none"> - le renouveau industriel - la mobilité, le transport, les villes intelligentes, la domotique - les objets connectés pour la santé et le bien-être - l'énergie, l'environnement, le bâtiment intelligent - la sécurité numérique, la sécurité des biens et des personnes <p>La journée du 20 mai vise à dresser une vision complète de chaque défi sociétal grâce à des exposés de haut niveau et des ateliers pour identifier les verrous associés à chaque défi dans les domaines des objets connectés et des systèmes embarqués. La journée du 21 mai est consacrée à des synthèses par axe du GdR SoC-SiP et à une restitution des travaux.</p> <p>Nombre de participants, nombre de laboratoires représentés : 50</p>		
8-9/6/2015	<p><i>Soutien et implication : International Symposium on cosmetic measurements and tests – COMET (IEEE)</i></p>	<p><i>Université de Cergy-Pontoise, GdR SoC-SiP Axe Défis sociétaux, GdR STIC-Santé</i></p>	<p><i>Cergy-Pontoise</i></p>
	<p>De nombreuses méthodes et techniques non invasives sont utilisées en vue de mesurer le plus précisément possible les propriétés de nouveaux produits cosmétiques et leurs interactions avec la peau ou le cheveu. Ces méthodes deviennent d'autant plus perfectionnées qu'elles sont le corollaire d'investigations complexes pour l'optimisation de nouveaux procédés, pour l'élaboration de nouveaux matériaux hybrides fonctionnalisés, ou pour objectiver l'efficacité ou l'innocuité du produit innovant.</p> <p>Compte tenu des nouvelles contraintes réglementaires européennes et des fonctionnalités visées par les produits cosmétiques innovants, les interactions intrinsèques au produit développé ainsi que celles avec les tissus concernés doivent être complètement contrôlées tant d'un point de vue physico-chimique et biologique que clinique. Toutes les étapes permettant de valoriser un nouvel ingrédient par l'élaboration</p>		

	<p>d'un produit fini telles que l'optimisation et la caractérisation du produit recherché in-vitro, l'investigation alternative à l'animal ex-vivo, et la validation in-vivo sont impactées. De fait, la mesure et de l'instrumentation devient un des enjeux centraux au service de l'innovation de la filière cosmétique. L'édition 2015 de COMET s'intéressa aux dernières innovations industrielles et avancées en recherche dans le domaine du test et de la mesure utilisables ou utilisées en cosmétique, avec un focus particulier sur les nanoparticules et les dispositifs nomades dédié au « do it your self ».</p>		
8-10/6/2015	<i>Soutien : ARCHI – Ecole thématique sur l'Architecture des systèmes matériels et logiciels embarqués, et les méthodes de conception associées</i>	<i>GdR SoC-SiP, GdR ASR</i>	<i>Villeneuve d'Ascq</i>
26/6/2015	<i>Journée thématique : l'injection de fautes dans les circuits intégrés : attaques et émulation de phénomènes naturels</i>	<i>GdR SoC-SiP Axe Confiance matérielle</i>	<i>Paris (Télécom ParisTech)</i>
	<p>Les attaques par injection de fautes sont un outils essentiel dans l'évaluation de la sécurité des systèmes matériels, cette journée fait el point sur les dernières avancées dans ce domaine que ce soit sur les techniques d'attaques, de protection et d'émulation de fautes. Les présentations de la journée : - Fault Attacks and Countermeasures: a Survey - Fault tolerance of electronic systems towards the radiation constraints in space and the atmosphere: focus on the use of laser for the radiation risk assessment - Electromagnetic Fault Injection: Impact on FPGA - Combinaison d'attaque laser contrôlée et de rétro-conception matérielle partielle - Laser-Induced fault Effects in Security-dedicated circuits 36 participants, 10 laboratoires représentés</p>		
1-2/7/2015	<i>Soutien et implication : Journées NeuroSTIC 2015</i>	<i>GdR ISIS, GdR SoC-SiP, GdR BioComp, GdR Robotique</i>	<i>Paris (ISIR)</i>
	<p>Les journées NeuroSTIC offrent depuis plusieurs années un cadre inter-disciplinaire unique pour mettre en relation les systèmes bio-mimétiques de traitement de l'information et leur modèles biologiques sous-jacents. Cette voie prend un souffle nouveau à l'heure où de nombreux indicateurs technologiques, informatiques et sociaux montrent un écart croissant entre la complexité des systèmes de calcul (parallélisme massif, architecture micro et nano électronique, big data, réseaux sociaux, interaction homme-machine) et la capacité à les concevoir, les programmer, ou à les maîtriser. Ces journées fédèrent des secteurs de recherche souvent disjoints, à la croisée de nombreuses disciplines scientifiques, comme les neurosciences, l'informatique, les sciences cognitives, le traitement du signal et l'électronique. pour mettre en commun les modèles biologiques et les systèmes artificiels qui les imitent dans leur dimension computationnelle. Nombre de présentations : 8 présentations, 9 posters Nombre de participants : 50 participants, 22 laboratoires</p>		
4/7/2015	<i>Journée thématique : Consommation et nouvelles sources d'énergie pour les systèmes embarqués pour la santé</i>	<i>GdR SoC-SiP Axe Défis sociétaux</i>	<i>Paris (UPMC)</i>
	<p>L'objectif de cette journée est de réunir la communauté académique et industrielle française autour des problèmes liés à la conception basse consommation de dispositifs implantables et/ou implantés, ainsi, que des nouvelles méthodes d'alimentation et de récupération d'énergie. On assiste en effet aujourd'hui à l'émergence de nouvelles méthodes de récupérations d'énergie (mécanique, biochimique, acoustique, magnétique, etc.), de nouvelles techniques de télé-alimentations 3D, de nouvelles techniques de transmission basse-conso (IR-UWB, acoustique, etc.) et de nouvelles applications médicales et sociétales. Cette journée se propose de faire le point sur ces différentes tendances autour d'exposés, de démonstration et de débats. Les présentations : Objets connectés pour la santé : considération sur l'énergie embarquée Récupération d'énergie mécanique pour implants médicaux actifs : défis et perspectives La biopile enzymatique : une solution pour les implants de demain Circuits d'interface capteur et de récupération d'énergie très faible consommation Nombre de présentations : 4 Nombre de participants : 35 Nombre de laboratoires : 12</p>		

09/10/2015	<p><i>Journée thématique : Consommation d'énergie dans les applications de traitement vidéo</i></p>	<p><i>GdR ISIS, GdR SoC-SiP Axe Défis sociétaux</i></p>	<p><i>Paris (Télécom ParisTech)</i></p>
<p>De plus en plus d'objets connectés intègrent des traitements vidéo. L'autonomie en énergie de ces objets impose des contraintes fortes sur la consommation électrique de ceux-ci. Par ailleurs, la consommation d'électricité des Technologies de l'Information et de la Communication (TIC) représente une part non négligeable et en forte croissance de la consommation totale d'électricité. La vidéo possède une place prépondérante au sein des TIC. Les transmissions de contenus vidéo sont en forte croissance et représentent la part la plus importante dans le trafic des réseaux de télécommunications. Ainsi, l'optimisation de la consommation d'énergie des systèmes de traitement vidéo est un enjeu majeur. L'objectif de cette journée est de présenter les avancées récentes au niveau de la réduction de la consommation d'énergie dans les systèmes de traitement vidéo dont l'initiative Green Metadata proposée par le groupe de normalisation MPEG.</p> <p>Les présentations :</p> <ul style="list-style-type: none"> Green Metadata de MPEG Green MPEG: évaluation du modèle de complexité et optimisations Présentation du projet FUI GreenVideo Modélisation de la consommation d'énergie dans les décodeurs vidéos Gestion de l'énergie en ligne pour des applis vidéo (H264), services OS et DVFS DVFS adapté à la vidéo <p>Nombre de présentations : 6 Nombre de participants : 28 Nombre de laboratoires : 14</p>			
15/10/2015	<p><i>Journée thématique : Technologies émergentes pour les architectures "instant ON/OFF"</i></p>	<p><i>GdR SoC-SiP Axe Dispositifs émergents et cyberphysique AMS</i></p>	<p><i>Orsay (IEF)</i></p>
<p>Les technologies non-volatiles, notamment spintroniques, permettent d'envisager des architectures de calcul commutant quasi-instantanément entre un mode de fonctionnement normal et un mode de consommation nulle. Lors de cette journée, nous présenterons l'état de l'art au niveau des technologies non-volatiles, de leurs modèles, des circuits et des stratégies associées au niveau système.</p> <p>nombre de présentations/orateurs: 3 - Lionel Torres (LIRMM, Université Montpellier), Guillaume Prenat, (Spintec, CEA), Weisheng Zhao (IEF, CNRS & Beihang University)</p> <p>Nombre de participants : 14. Nombre de laboratoires représentés : 6</p>			
18/11/2015	<p><i>Journée thématique : Nouvelles applications, nouveaux enjeux, nouveaux défis en architecture</i></p>	<p><i>GdR SoC-SiP axe Architectures des systèmes numériques intégrés</i></p>	<p><i>Paris (Télécom ParisTech)</i></p>
<p>L'objectif de cette journée est de réunir la communauté académique et industrielle française autour des problèmes liés à la conception de systèmes embarqués pour les nouvelles applications "hors normes". Il est question de faire un point sur les nouvelles contraintes, ou les nouveaux challenges auxquels vont devoir faire face les concepteurs de systèmes embarqués au vu des besoins de ces nouvelles applications. Une session "Mon appli en 180s" est organisée au cours de cette journée.</p> <p>Nombre de présentations : 6 Nombre de participants + nombre de laboratoires représentés : 17 académiques, 5 industriels</p>			
16/12/2015	<p><i>Journée thématique : Digitally Enhanced Mixed-Signal Systems</i></p>	<p><i>GdR SoC-SiP Axe Dispositifs émergents et cyberphysique AMS</i></p>	<p><i>Paris (Télécom ParisTech)</i></p>
<p>Cette journée thématique organisée par le GDR SoC-SiP- Axe Dispositifs émergents et systèmes cyberphysiques intelligents est consacrée aux techniques d'amélioration des systèmes analogiques, mixtes et RF en utilisant les traitements numériques.</p> <p>Nombre de présentations/orateurs : 6 Nombre de participants : 41 Nombre de laboratoires représentés : 10</p> <p>Retombées éventuelles : organisation avec les intervenants d'une Session Speciale à ICECS 2016, livre sur le sujet en cours d'écriture, projet de consortium européen (COST action)</p>			

2016	Animations	Organisateurs	Lieu
22/1/2016	<i>Barcamp : Archi 1</i>	<i>GdR SoC-SiP axe Architectures des systèmes numériques intégrés</i>	<i>Paris (UPMC)</i>
	<p>Ce barcamp est organisé pour préparer l'intégration de nouvelles équipes dans le GdR. Les nouvelles équipes sont celles ayant des activités en logiciel embarqué, temps réel, et architecture matérielle de l'ex-GdR ASR. Le barcamp regroupe ces nouvelles équipes ainsi que les équipes déjà actives au sein du GdR SoC-SiP sur le thème des architectures matérielles et logicielles.</p> <p>Chaque équipe présente en 3 transparents ses thèmes de recherche et les verrous et défis qu'elle cherche à résoudre. Ces présentations sont ensuite utilisées pour réaliser une cartographie des thèmes.</p> <p>Nombre de participants : environ 50 participants, issus d'une trentaine d'équipes</p> <p>Retombées : ce barcamp a permis à de nouvelles équipes de devenir actives au sein du GdR SoC-SiP. Il a également préparé le travail du second barcamp "Archi 2" du 18 novembre 2016</p>		
15/3/2016	<i>Journée thématique : Systèmes Embarqués dans les Transports de Demain</i>	<i>GdR SoC-SiP axe Architectures des systèmes numériques intégrés, Fédération de Recherche CNRS Transports terrestres & Mobilité de la région Nord Pas-de-Calais Picardie,, Campus International sur la Sécurité et l'Inter-modalité dans les Transports (CISIT)</i>	<i>Valenciennes (LAMIH)</i>
	<p>Les systèmes embarqués occupent une place importante dans les moyens de transport. Ceci s'explique par le fait qu'aujourd'hui, plus de 90% des innovations dans le secteur des transports, routiers comme l'automobile, aéronautiques ou ferroviaires, sont dues directement ou indirectement aux avancées technologiques dans les domaines de l'informatique et de l'électronique embarquées. Grâce aux progrès technologiques, les performances (vitesse d'exécution) ne sont plus de nos jours la seule figure de mérite. Les outils de conception des systèmes embarqués doivent maintenant prendre en compte aussi la fiabilité, la dissipation thermique, la certification et la vérification du logiciel exécuté.</p> <p>Cette journée vise à faire le point sur les différentes techniques et outils dans la conception des architectures des systèmes embarqués dans les outils de transports modernes.</p> <p>Nombre de participants + nombre de laboratoires représentés : 7 Présentations Orales + 10 Posters.</p> <p>Nombre de participants + nombre de laboratoires représentés : 40 participants (5 laboratoires, 4 entreprises)</p>		
30/3/2016	<i>Journée thématique : Objets connectés</i>	<i>GdR SoC-SiP Axe défis sociétaux, GdR RSD</i>	<i>Paris (UPMC)</i>
	<p>Les GDR SOC-SIP et RSD organisent en commun une journée sur les objets connectés. L'objectif de cette journée est de présenter un état de l'art aussi bien au niveau radio, réseau et systèmes d'exploitations des recherches dans le monde de l'IoT et des objets connectés, mais aussi de susciter des discussions et de possibles collaborations entre nos deux communautés autour des défis scientifiques et technologiques posés par l'Internet des Objets.</p> <p>Les présentations :</p> <ul style="list-style-type: none"> Wake-up radio : solutions matérielles et optimisation des protocoles MAC Energy harvesting: état de l'art des solutions matérielles, enjeux sur les protocoles et la gestion de l'énergie Protocoles de Communications et Inter-opérabilité dans l'IoT (industriel) Radio adaptative à l'environnement pour réseaux de capteurs : état de l'art et perspectives OS pour les Objets Connectés <p>Nombre de participants : 32 Nombre de laboratoires : 17</p>		
24/5/2016	<i>Journée thématique : Indoor localisation systems and implementation tradeoffs</i>	<i>GdR SoC-SiP Axe Dispositifs émergents et cyberphysique AMS</i>	<i>Paris (Télécom ParisTech)</i>
	<p>Cette journée thématique organisée par le GdR SoC-SiP- Axe Dispositifs Emergents et Cyberphysique AMS est consacrée aux circuits et systèmes de localisation à l'intérieur des bâtiments et à leur implémentation. Les applications de localisation en extérieur sont répandues depuis la généralisation du GPS, mais en intérieur, la diversité des environnements n'a pas permis qu'émerge une technologie « universelle » précise, fiable et qui offre une continuité de service. Lors de cette journée, nous aborderons notamment les problématiques d'implémentation matérielle, de continuité du service de positionnement de l'extérieur vers l'intérieur.</p> <p>Nombre de présentations/orateurs : 4 Nombre de participants : 34 Nombre de laboratoires représentés : 9</p>		

31/5/2016	<p><i>Journée thématique : La génération d'aléa dans le matériel : TRNG & PUF</i></p>	GdR SoC-SiP Axe Confiance matérielle	Paris (Télécom ParisTech)
<p>La génération de nombres aléatoires dans le matériel est un problème complexe et qui évolue notamment avec les normes de certification telles que celles édictées par l'AIS ou le NIST. De plus ces dernières années, en plus des TRNG, les PUF ont donné lieu à un grand nombre de travaux académiques. Cette journée présente les dernières avancées dans ce domaine.</p> <p>Les présentations de la journée :</p> <ul style="list-style-type: none"> - The Yin and the Yang of metastable latches to generate PUF and TRNG - Advances in random number generation for cryptography - TRNG – Evaluation & certification - Conception et caractérisation d'un PUF : le cas du TERO-PUF - Key reconciliation protocol application to error correction in silicon PUF responses <p>29 participants, 7 laboratoires représentés</p>			
9-11/6/2016	<p><i>Colloque national du GdR SoC-SiP</i> 156 participants</p>	GdR SoC-SiP	Nantes (IETR)
23-24/6/2016	<p><i>Soutien et implication : Journées NeuroSTIC 2016</i></p>	GdR ISIS, GdR SoC-SiP, GdR BioComp, GdR Robotique	Grenoble (INRIA)
<p>Les journées NeuroSTIC offrent depuis plusieurs années un cadre inter-disciplinaire unique pour mettre en relation les systèmes bio-mimétiques de traitement de l'information et leur modèles biologiques sous-jacents. Cette voie prend un souffle nouveau à l'heure où de nombreux indicateurs technologiques, informatiques et sociaux montrent un écart croissant entre la complexité des systèmes de calcul (parallélisme massif, architecture micro et nano électronique, big data, réseaux sociaux, interaction homme-machine) et la capacité à les concevoir, les programmer, ou à les maîtriser. Ces journées fédèrent des secteurs de recherche souvent disjoints, à la croisée de nombreuses disciplines scientifiques, comme les neurosciences, l'informatique, les sciences cognitives, le traitement du signal et l'électronique. pour mettre en commun les modèles biologiques et les systèmes artificiels qui les imitent dans leur dimension computationnelle.</p> <p>Nombre de présentations : 15 présentations, 10 posters Nombre de participants : 200 participants, 35 laboratoires</p>			
19/10/2016	<p><i>Journée thématique : Cloud FPGA</i></p>	GdR SoC-SiP axe Architectures des systèmes numériques intégrés, GdR ISIS thème C	Paris (UPMC)
<p>Le cloud computing permet le partage de différentes ressources par différents utilisateurs via les réseaux internet. Ici, le mot "ressources" peut signifier différentes choses en fonction du type de service attendu. Il peut s'agir de Software as a Service(SaaS, fournit des logiciels d'application & bases de données), Platform as a Service(PaaS, fournit aux développeurs des APIs propriétaires) ou de Infrastructure as a Service(IaaS, met à votre disposition des infrastructures pour le développement). Les performances des serveurs basés sur des CPUs souffrent de la consommation en énergie qui devient trop élevée à grandes échelles. Les FPGAs semblent être une bonne alternative afin d'améliorer le ratio performances/consommation d'énergie dans le cas des calculs intensifs. Cependant, la mise en oeuvre de telles plateformes rencontre plusieurs challenges liés à la difficulté de la virtualisation des FPGAs. L'intégration des FPGAs dans les Cloud nécessite donc un environnement de virtualisation des ressources FPGAs, la gestion dynamique des communications intra et inter-FPGAs, le chargement dynamique des Bitstreams, la gestion dynamique des utilisateurs, etc.</p> <p>L'objectif de cette journée est de mettre en avant les avancées récentes dans le déploiement de FPGAs dans le Cloud computing. Les exposés permettent d'identifier les verrous associés.</p> <p>Nombre de présentations : 9 présentations / 8 orateurs Nombre de participants + nombre de laboratoires représentés : 33 participants (26 académiques et 7 industriels)</p> <p>Retombées : dans l'ensemble, forte participation et de nombreux échanges sur les présentations (académique, universitaire, enseignants et doctorants). Les participants ont apprécié cette journée, les présentations de la journée mettant en avant les nombreux travaux des équipes de recherche françaises. Les participants souhaitent que plusieurs journées annexes à ce sujet soient proposées :</p> <ul style="list-style-type: none"> - journée sur le thème des architectures NoC sur plateformes mono ou multi-FPGAs - journée sur le thème de la virtualisation des FPGAs, - journée placement//ordonnancement de tâches sur architectures multi-FPGA, - journée sur le même thème (Cloud FPGA, suite) en 2018 pour voir les évolutions et les aboutissements des travaux et projets. 			

15-16/11/2016	<i>Journée thématique : réunion commune GdR MACS - GdR SoC-SiP</i>	<i>GdR MACS GT SDH, SAR et ARC, GdR SoC-SiP axe Architectures des systèmes numériques intégrés</i>	<i>Lille (CRISTAL)</i>
<p>L'objectif de la réunion est de rassembler des chercheurs abordant des thématiques à la frontière de l'automatique et l'informatique:</p> <ul style="list-style-type: none"> - systèmes avec des contraintes d'implémentation numérique (asynchronisme, ressources de communication et calcul limités, quantification, etc.), - systèmes de commande en réseaux, - interaction entre algorithmes d'ordonnancement temps - réel et algorithmes de commande, - prise en charge de contraintes énergétiques, etc. <p>Lors de cette réunion nous avons l'opportunité d'accueillir en tant qu'orateurs invités deux chercheurs italiens abordant des aspects liés à l'implémentation des lois de commande sur des processeurs temps-réel. Nombre de présentations : 9</p>			
18/11/2016	<i>Barcamp : Archi 2</i>	<i>GdR SoC-SiP axe Architectures des systèmes numériques intégrés</i>	<i>Paris (UPMC)</i>
<p>Faisant suite au 1er barcamp, cette seconde journée regroupe un nombre restreint de participants. Il a pour objectif de synthétiser la cartographie construite lors du premier barcamp pour identifier les défis structurants en vue de la construction de la proposition de GDR SOC².</p> <ul style="list-style-type: none"> - Présentation des fondations du GDR SOC² - Synthèse du barcamp 1 <p>Chaque participant est ensuite invité à présenter sa vision des architectures matérielles et logicielles des systèmes embarqués à court, moyen et long terme. Nombre de participants : 15 participants, issus de 12 laboratoires Retombées : ce barcamp a permis de préparer le barcamp de structuration du GDR SOC² en contribuant à l'identification des thèmes portés par les axes "Calcul Embarqué Haute Performance" et "Méthodologies de Conception" de la proposition de GDR SOC².</p>			
22/11/2016	<i>Journée thématique : AADL pour la synthèse HW-SW</i>	<i>GdR SoC-SiP axe Architectures des systèmes numériques intégrés, IRT St Exupéry</i>	<i>Paris (UPMC)</i>
<p>IRT Saint Exupéry Embedded System Domain and the CNRS GDR SoC-SiP launch periodic scientific days gathering industrials and academics The IRT Saint Exupéry and the CNRS GDR SoC-SiP join their efforts to organize industrial and academic event related to hardware and software co-development process. These periodic scientific days will be organized alternately in Paris and Toulouse. The first event is focused on the use of the AADL language to design embedded systems. The objective of this day is to gather the French academic and industrial communities on embedded systems design integrating hardware and software domain. In this context the main stake is then to explore and to optimize simultaneously system parameters, also called co-development or co-design. Status of actual standards, new constraints and new challenges on which embedded systems designers will have to face will be debated. The day is organized around four main invited presentations and pitches/posters session based on CNRS team contributions selected by organization committee. Nombre de présentations : 4 présentations Nombre de participants + nombre de laboratoires représentés : 17 participants (11 académiques issus de 9 laboratoires, 6 industriels) Retombées : Première journée commune entre le GDR SoC-SiP et l'IRT Saint-Exupéry sur le thème du développement des systèmes embarqués. Une prochaine journée sera organisée en 2017 à Toulouse.</p>			
7/12/2016	<i>Journée thématique : Biologie synthétique</i>	<i>GdR SoC-SiP Axe Dispositifs émergents et cyberphysique AMS, GdR BioSynSys</i>	<i>Paris (Télécom ParisTech)</i>
<p>La biologie synthétique est une science qui se positionne naturellement à l'interface entre les sciences de la vie et les sciences pour l'ingénieur. Cette journée thématique a eu pour but de montrer les problématiques communes en matière de méthodologie de conception et d'outils associés, d'instrumentation et d'applications afin de faire émerger des projets transdisciplinaires entre les deux communautés. Nombre de présentations / orateurs : 6 Nombre de participants : 16 participants / 10 laboratoires Retombées : Volonté d'une poursuite sous forme d'une journée/barcamp autour de (i) outils de modélisation pour la biologie, (ii) capteurs pour la santé</p>			

2017	Animations	Organisateurs	Lieu
6-10/3/2017	<i>Soutien – Ecole thématique sur l'Architecture des systèmes matériels et logiciels embarqués, et les méthodes de conception associées</i>	<i>CNRS – INRIA – LORIA – Université de Lorraine</i>	<i>Nancy</i>
25/4/2017	<i>Capteurs Innovants & Objets Connectés Autonomes Faible Consommation</i>	<i>GdR SoC-SiP – Université de Toulon</i>	<i>Toulon (IM2NP)</i>
14-16/6/2017	<i>Colloque national du GdR SoC-SiP</i>	<i>GdR SoC-SiP</i>	<i>Bordeaux (IMS)</i>
19-20/10/2017	<p><i>Soutien et implication : Journées NeuroSTIC 2017</i></p> <p>Les journées NeuroSTIC offrent depuis plusieurs années un cadre inter-disciplinaire unique pour mettre en relation les systèmes bio-mimétiques de traitement de l'information et leur modèles biologiques sous-jacents. Cette voie prend un souffle nouveau à l'heure où de nombreux indicateurs technologiques, informatiques et sociaux montrent un écart croissant entre la complexité des systèmes de calcul (parallélisme massif, architecture micro et nano électronique, big data, réseaux sociaux, interaction homme-machine) et la capacité à les concevoir, les programmer, ou à les maîtriser. Ces journées fédèrent des secteurs de recherche souvent disjoints, à la croisée de nombreuses disciplines scientifiques, comme les neurosciences, l'informatique, les sciences cognitives, le traitement du signal et l'électronique, pour mettre en commun les modèles biologiques et les systèmes artificiels qui les imitent dans leur dimension computationnelle.</p>	<i>GdR ISIS, GdR SoC-SiP, GdR BioComp, GdR Robotique</i>	<i>Brest (Lab-STICC)</i>

4. Missions transversales

Des missions transversales aux groupes de travail contribuent à soutenir les activités d'animation de la communauté du GdR SoC-SiP.

a. Chantiers

Au début de la période quadriennale, le calendrier suivant a été élaboré pour guider l'évolution des activités du GdR :

2014

- Nouvelle organisation des Groupes de Travail : réalisé début 2014
- Nouveau processus de programmation des journées et barcamps thématiques : réalisé mi-2014
- Nouveau site web : réalisé mi-2016
- Mise en place juridique du Club des Partenaires : retardé
- Mise en place du Comité de Direction et du Comité de Suivi : réalisé fin 2014

2015

- Fonctionnement opérationnel du Club des Partenaires : retardé
- Elaboration de la cartographie : réalisé partiellement mi-2015
- Remplacement du colloque annuel par barcamps stratégiques des thèmes : réalisé mi-2015. Cependant, les membres du GdR ont souhaité revenir au colloque annuel en 2016.

2016

- Mise en place du Comité stratégique : réalisé fin 2016

2017

- Relations internationales : à réaliser

Pour répondre à ces objectifs, plusieurs chantiers de développement du GdR ont été lancés pendant la période quadriennale. Les réunions mensuelles du comité de suivi ont permis de contrôler leur avancement et de refixer les objectifs.

- Club des Partenaires : 2 réunions ont eu lieu et un modèle de convention a été mis en circulation. Le GdR adhère également à Embedded France depuis 2015. Ce chantier est aujourd'hui relancé dans le cadre d'une action à l'échelle des Instituts pour mettre en place un cadre de convention (mars 2017).
- Cartographie : 3 rencontres avec les sociétés TKM et Expernova ont eu lieu, ainsi que l'utilisation des outils Expernova ont permis de mieux cerner les capacités des outils et la pertinence des bases de données.
- Plateformes : le GdR a préparé une réponse aux Appels à Manifestation d'Intérêt sur la mise en place de plateformes et d'ingénieur pour les soutenir (non-retenu).

b. Communication

Le bulletin hebdomadaire a continué à diffuser les informations aux membres du GdR (annonces des Instituts INSIS et INS2I du CNRS, Journées thématiques, annonces de colloques, écoles thématiques pour les doctorants, offres de thèses et post-docs, etc).

Les difficultés pour maintenir et actualiser l'ancien site web au LIRMM ont rendu indispensable la création d'un nouveau site du GdR, pour lequel un cahier des charges a été élaboré en s'inspirant de celui du GdR ISIS. Un nouveau site web a ainsi été élaboré et est opérationnel depuis septembre 2016 au www.gdr-soc.cnrs.fr.

Un groupe LinkedIn a aussi été créé pour une expérimentation de cette voie de communication par les membres du comité de pilotage.

c. Classement des publications

Le GdR tient à jour une identification des journaux et conférences du domaine, ainsi que de leur importance pour la communauté et leur impact. Ce bilan a un double rôle : clarifier aux instances externes à la communauté l'importance et la qualité relatives des différents canaux de dissémination scientifique du domaine d'une part ; et orienter la valorisation scientifique des membres du GdR vers les journaux et conférences de qualité. Le document de fin 2014 est donné en annexe.

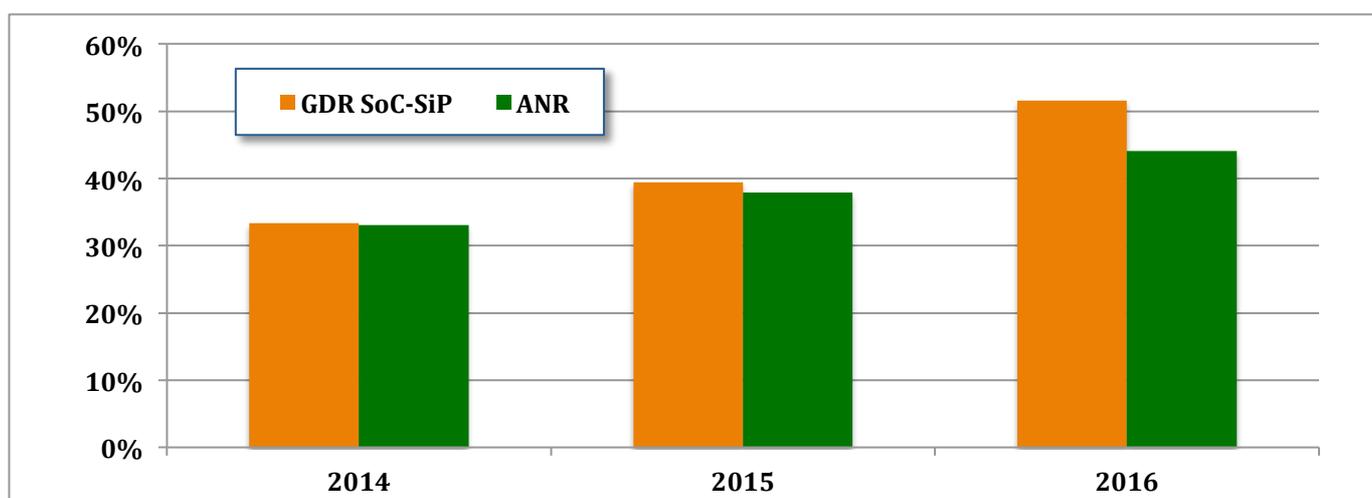
d. Prospective et conjoncture

Le GdR mène un travail de prospective du domaine SoC-SiP. Elle est élaborée par une synthèse entre les contributions des Groupes de Travail, qui élaborent des prospectives de leurs thématiques, et les rapports de prospective publiés par les organismes et agences nationales et internationales. Le GdR a ainsi contribué au rapport de conjoncture de la section 7 du CoNRS.

e. Sondage ANR

Depuis 2014, le GdR effectue un sondage auprès des laboratoires pour quantifier les taux de réussite à la première phase de l'AAP générique de l'ANR (éditions 2014, 2015, 2016). Même s'il est certain que la vision n'est pas complète, cela permet de recueillir des indications partielles :

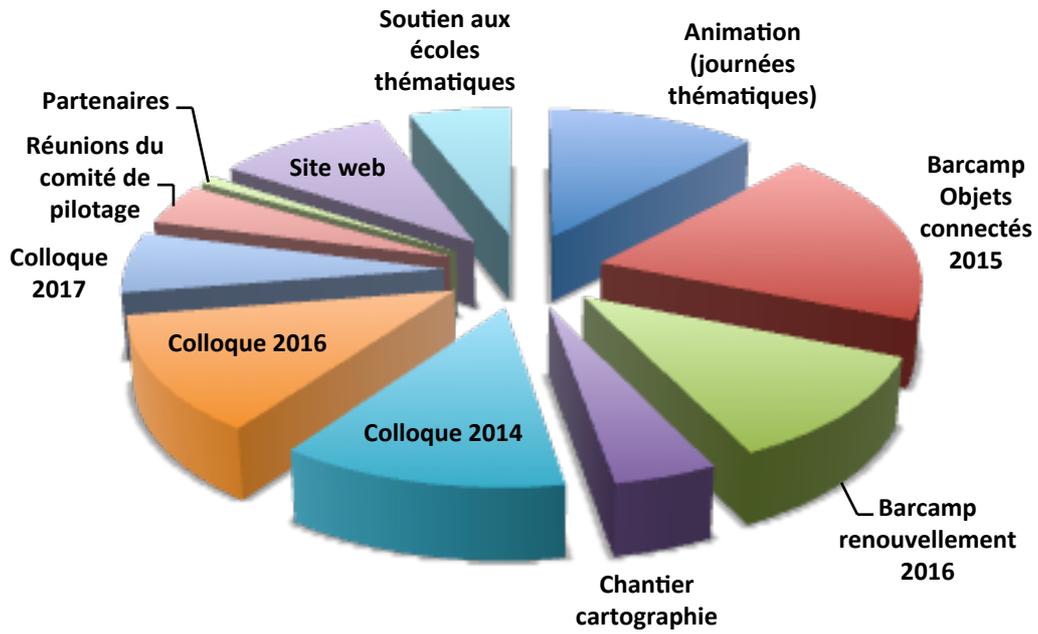
PRC, PRCE, JCJC	2014	2015	2016	
Pré-propositions soumises	51	33	31	
Pré-propositions retenues	17	13	16	
Taux de réussite	33.3%	39.4%	51.6%	GdR SoC-SiP
Pré-propositions soumises	8471	6897	6419	
Pré-propositions retenues	2804	2614	2826	
Taux de réussite	33.1%	37.9%	44.0%	ANR



5. Bilan financier

Une analyse des dépenses FEI (Fonctionnement, Equipement, Investissement) des années 2014-2016 permet d'établir le bilan financier suivant :

Nature de dépense	Montant cumulé (2014-2016)
Animation (journées et barcamps thématiques)	13302
Barcamp Objets connectés 2015	20871
Barcamp Renouveau 2016	12795
Chantier cartographie	5000
Colloque 2014 (avec missions des orateurs)	13884
Colloque 2016 (avec missions des orateurs)	13821
Colloque 2017	7076
Réunions du comité de pilotage	4801
Partenaires	1000
Site web	10950
Soutien aux écoles thématiques	6400



GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



Projet du GdR SOC² 2018-2021

Le GdR SOC² est une structure d'animation scientifique de la communauté systèmes embarqués, objets connectés, conception d'architectures et de circuits intégrés, logiciel embarqué. Son rôle est d'aider la structuration de la recherche et l'identification des synergies communes en regroupant l'ensemble des forces dans les disciplines couvertes par le GdR. Il doit ainsi avoir un rôle moteur pour amplifier les actions de recherche en cours, faciliter l'émergence de nouvelles thématiques de recherche particulièrement porteuses, mais aussi défendre les spécificités et les enjeux scientifiques de nos disciplines auprès des institutions et des organismes de financement.

Le projet du GdR s'appuie sur la structuration actuelle en la faisant évoluer pour prendre en compte de nouveaux défis. Le projet propose ainsi une structuration :

- en 3 axes thématiques, qui permettent d'assurer la visibilité des disciplines principales de la communauté :
 - calcul embarqué haute performance ;
 - frontières et interfaces cyberphysique ;
 - sécurité et intégrité des systèmes .
- et en 3 axes transversaux qui impliquent des travaux pluri-disciplinaires aux interfaces. Ainsi, il s'agit
 - des grands domaines applicatifs des objets connectés autour desquels se développent aussi des recherches à caractère fondamental ;
 - des méthodologies de conception pour maîtriser ces objets d'une complexité inouïe ;
 - des nanotechnologies émergentes du futur qui représentent de nouvelles opportunités pour les architectures matérielles de calcul, de mémorisation, d'acquisition, de transmission et de restitution de l'information.

Les objectifs du GdR, pour le quadriennal 2018-2021 sont nombreux. Il s'agira tout d'abord de renforcer les activités d'animation avec une équipe d'animation renouvelée et de nouveaux instruments. En effet, en plus des journées thématiques et les barcamps, il est proposé de créer des cycles de journées thématiques pour des études prospectives ou de veille. Une attention particulière sera portée sur la participation des doctorants aux actions d'animation et au colloque annuel pour contribuer à leur formation doctorale, à leur appropriation de l'état de l'art et des avancées récentes, et également pour renforcer leur appartenance à la communauté.

Le GdR assurera également la pérennité des actions engagées comme le classement des publications et le lancement du club des partenaires pour concrétiser la forte interaction du GdR avec le monde socio-économique. En interne, les liens de la communauté seront renforcés autour de la mise en place de "thématique de l'année", ainsi que des actions de brainstorming et de réseautage centrées sur les projets scientifiques. Le GdR se positionne comme un point d'entrée pour le domaine de recherche et renforcera les liens formels avec les organismes, les industriels et les instances connexes (pôles de compétitivité, Instituts de Recherche Technologique, CEA, CMP, CNFM, Embedded France, sections CNU, CoNRS, ANR) avec lesquels nous partageons des problématiques ou outils communs, et veillera à créer et à favoriser les liens avec d'autres disciplines à travers les GdRs connexes.

De plus, le GdR portera des actions de prospective (veille scientifique, expertise auprès des instances, contribution à la stratégie nationale de la recherche, identification des besoins de création de groupes de travail sur des enjeux scientifiques émergents et sur les grands défis sociétaux). Dans cette période quadriennale, le GdR veillera à s'ouvrir aux grands enjeux sociétaux comme la conception verte et les usages, au sens sociologique. Ainsi nous travaillerons à établir des liens directs sur l'impact de nos technologies sur l'environnement et leur acceptabilité par les usagers. Un lien avec les SHS est donc clairement à établir.

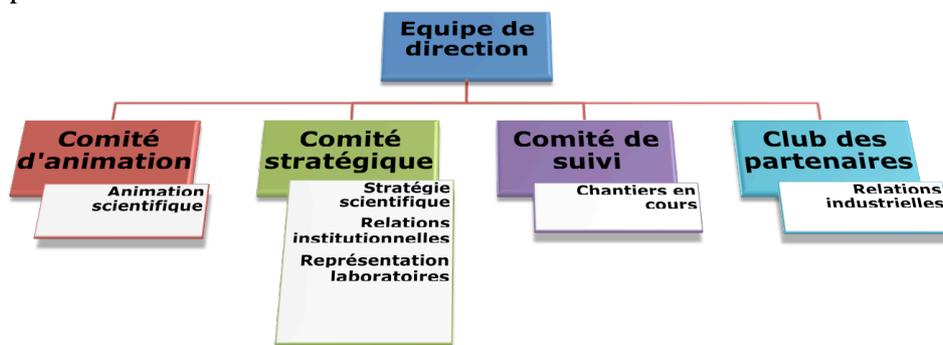
1. Organisation et pilotage du GdR

Le GdR est organisé autour de quatre piliers, qui sont présentés successivement : la gouvernance, l'animation scientifique, les missions transversales et les partenaires.

2. Gouvernance

La structure de gouvernance du GdR SOC² comprend :

- L'Equipe de direction
- Le Comité d'animation
- Le Comité stratégique
- Le Comité de Suivi
- Le Club des partenaires



a. Equipe de direction

Le GdR SOC² est dirigé par un directeur, assisté par deux directeurs-adjoints et un sous-directeur :

- Directeur : Ian O'CONNOR (PR, Ecole Centrale de Lyon – INL)
- Directrice adjointe : Cristell MANEUX (PR, Université de Bordeaux – IMS)
- Directeur adjoint : Sébastien PILLEMENT (PR, Ecole Polytechnique Université de Nantes – IETR)
- Sous-Directeur : Patrick GIRARD (DR, CNRS – LIRMM)[§]



Directeur :
Ian O'Connor, INL (INSIS - 08)
PR1 63^{ème} section



Directrice adjointe :
Cristell Maneux, IMS (INSIS-08)
PR 63^{ème} section



Directeur adjoint :
Sébastien Pillement, IETR (INSIS-08)
PR 61^{ème} section



Sous-Directeur :
Patrick Girard, LIRMM (INS2I - 07)
DR CNRS section 07

[§] Patrick Girard a effectué deux mandats successifs de directeur adjoint pour le GdR SoC-SiP et est ainsi administrativement inéligible à un poste de directeur adjoint. Il contribuera à l'équipe de direction avec le statut de sous-directeur.

Les membres de la direction se concertent par téléconférence, téléphone ou mail, ils se réunissent à l'occasion d'évènements de la communauté. Ils interagissent avec les autres comités du GdR et notamment les responsables des axes thématiques et transversales ainsi que les responsables du Club des Partenaires, et représentent le GdR auprès des Instituts INSIS et INS2I du CNRS.

b. Comité d'animation

Le Comité d'animation du GdR SOC² comprend les membres suivants :

- la direction en exercice : directeur et directeurs adjoints
- les responsables et les responsables adjoints des thèmes, et les animateurs des thématiques. Pour cette période quadriennale, la durée des mandats (responsables et animateurs) sera limitée à deux ans renouvelables, permettant de maintenir une animation dynamique.

Nom	Prénom	Laboratoire	Rôle	Axe
BARTHELEMY	Hervé	IN2MP	Animateur	Systèmes Cyber Physiques
BELLEUDY	Cécile	LEAT	Animatrice	Objets connectés
BENABDENBI	Mounir	TIMA	Animateur	Sécurité et intégrité des systèmes
BERRY	François	Institut Pascal	Animateur	Calcul embarqué haute performance
BOSSUET	Lilian	LHC	Responsable axe	Sécurité et intégrité des systèmes
BOUNCEUR	Ahcene	Lab-STICC	Animateur	Objets connectés
BOUTILLON	Emmanuel	Lab-STICC	Resp. adj. axe	Sécurité et intégrité des systèmes
CHILLET	Daniel	IRISA	Resp. adj. axe	Objets connectés
DELTIMPLE	Nathalie	IMS	Animatrice	Systèmes Cyber Physiques
DESGREYS	Patricia	LTCI	Responsable axe	Systèmes Cyber Physiques
FAUCOU	Sébastien	LS2N	Responsable axe	Calcul embarqué haute performance
FLOTTE	Marie-Lise	LIRMM	Animatrice	Sécurité et intégrité des systèmes
GEORGE	Laurent	LIGM	Animateur	Calcul embarqué haute performance
GIRARD	Patrick	LIRMM	Sous-Directeur	
GONNORD	Laure	LIP	Animatrice	Calcul embarqué haute performance
HEBRARD	Luc	ICUBE	Animateur	Systèmes Cyber Physiques
KLEIN	Jacques-Olivier	IEF	Animateur	Technologies du futur
LE BEUX	Sébastien	INL	Responsable axe	Technologies du futur
LOUËRAT	Marie-Minerve	LIP6	Animatrice	Méthodologies
MANEUX	Cristell	IMS	Directrice adjointe	
MARTIN	Kevin	Lab-STICC	Responsable axe	Méthodologies
MORIN-ALLORY	Katell	TIMA	Animatrice	Sécurité et intégrité des systèmes
NIAR	Smail	LAMIH	Animateur	Objets connectés
O'CONNOR	Ian	INL	Directeur	
PELCAT	Maxime	IETR	Resp. adj. axe	Méthodologies
PILLEMENT	Sébastien	IETR	Directeur adjoint	
ROMAIN	Olivier	ETIS	Responsable axe	Objets connectés
SASSATELLI	Gilles	LIRMM	Responsable axe	Calcul embarqué haute performance
VIRAZEL	Arnaud	LIRMM	Animateur	Sécurité et intégrité des systèmes
WAJSBURT	Franck	LIP6	Animateur	Calcul embarqué haute performance

Le Comité d'animation du GdR SOC² est chargé de coordonner scientifiquement et de planifier les actions d'animation. Il se réunit en configuration plénière tous les quatre mois à l'initiative du directeur du GdR :

- au printemps, pour faire le bilan de l'année écoulée et préparer le Colloque de juin
- pendant le colloque en juin, pour finaliser du programme d'animation du second semestre et suivre les activités du GdR
- à l'automne, pour préparer l'année à venir et finaliser le programme d'animation du premier semestre.

c. Comité stratégique

Le Comité stratégique du GdR SOC² comprend les membres suivants :

- la direction en exercice : directeur et directeurs adjoints
- les anciens directeurs du GdR SoC-SiP
- les responsables des axes
- les responsables du Club des Partenaires
- des experts scientifiques du domaine SOC².

Nom	Prénom	Laboratoire	Rôle
BELLEUDY	Cécile	LEAT	
BOSSUET	Lilian	LHC	Responsable axe
COUSSY	Philippe	Lab-STICC	
DALLET	Dominique	IMS	Club des partenaires
DESGREYS	Patricia	LTCI	Responsable axe
FAUCOU	Sébastien	LS2N	Responsable axe
GARDA	Patrick	LIP6	Ex-Directeur
GIRARD	Patrick	LIRMM	Sous-Directeur
GOGNIAT	Guy	Lab-STICC	Club des partenaires
GRANADO	Bertrand	LIP6	Club des partenaires
LE BEUX	Sébastien	INL	Responsable axe
MANEUX	Cristell	IMS	Directrice adjointe
MARTIN	Kevin	Lab-STICC	Responsable axe
O'CONNOR	Ian	INL	Directeur
PETROT	Frédéric	TIMA	
PILLEMENT	Sébastien	IETR	Directeur adjoint
RENOVELL	Michel	LIRMM	Ex-Directeur
ROMAIN	Olivier	ETIS	Responsable axe
SASSATELLI	Gilles	LIRMM	Responsable axe
SENTIEYS	Olivier	IRISA	
TORRES	Lionel	LIRMM	

Il est chargé de réfléchir à la stratégie scientifique et de proposer des évolutions stratégiques permettant au GdR SOC² de mieux remplir ses missions. Cela couvre notamment l'articulation du GdR avec les instances (Instituts CNRS, MENRT, CES ANR, CNU, CoNRS ...) et avec les autres acteurs scientifiques du domaine (CEA, CMP, CNFM ...), pôles de compétitivité (Minalogic, Systematic, Aerospace valley, Images et réseaux), Embedded France, ou les clusters industriels sous la forme d'IRT ...

Il se réunit tous les 6 mois à l'initiative du directeur du GdR.

d. Comité de suivi

Le Comité de Suivi du GdR SOC² comprend les membres suivants :

- la direction en exercice : directeur et directeurs adjoints
- les membres du Comité stratégique en charge des missions transversales en cours du GdR

Le Comité de Suivi contrôle et oriente l'avancement des missions transversales du GdR SOC², il se réunit 1h par mois en téléconférence, à l'initiative du directeur du GdR.

e. Club des partenaires

Le Club des partenaires du GdR SOC² comprend les membres suivants :

- la direction en exercice : directeur et directeurs adjoints
- trois responsables académiques

- un représentant industriel

Nom	Prénom	Laboratoire	Rôle
DALLET	Dominique	IMS	Club des partenaires
GIRARD	Patrick	LIRMM	Sous-Directeur
GOGNIAT	Guy	Lab-STICC	Club des partenaires
GRANADO	Bertrand	LIP6	Club des partenaires
MANEUX	Cristell	IMS	Directrice adjointe
O'CONNOR	Ian	INL	Directeur
PILLEMENT	Sébastien	IETR	Directeur adjoint
			Représentant industriel

Le GdR souhaite se positionner comme un point d'entrée pour le domaine de recherche dans son périmètre et renforcera les liens avec les industriels dans l'objectif de devenir l'interface naturelle INSIS et INS2I pour toute demande industrielle relevant du domaine. Le Club des partenaires permet de représenter des industriels au sein du comité stratégique du GdR et de prendre en compte leurs besoins, de donner un avis sur les thématiques et de proposer des actions d'animation sur des sujets de recherche industrielle.

Un chantier Club des partenaires a été lancé pendant la période quadriennale précédente et est en passe d'être mis en place. Des contacts avec plusieurs partenaires industriels ont été pris. Suite à la demande de plusieurs GdR, une convention générale est en cours de préparation au CNRS pour mars 2017.

Le Club des partenaires est chargé de s'appuyer sur la convention (et de l'adapter si nécessaire) pour préparer une offre de services à destination des contacts industriels comprenant :

- l'accès aux bases de données du GdR (banque de CVs des doctorants du GdR, cartographie et annuaire des laboratoires, cartographie des formations du domaine)
- la diffusion des messages ou des offres (stage, thèse CIFRE, emploi ...) vers le GdR
- l'accès aux journées thématiques pour la veille technologique industrielle
- la participation à l'organisation d'événements de courtage ("brokerage")

Lorsqu'un partenaire industriel souhaite aller au-delà de la convention CNRS, le Club des partenaires étudiera la mise en place d'une convention bipartite entre le GdR et le partenaire.

Le Club des partenaires est également chargé de maintenir et de faire évoluer une base de données des contacts, et d'élaborer et d'appliquer une grille de cotisations annuelles pour les partenaires industriels s'appuyant sur leur statut (PME, grand groupe ...). Ces cotisations seront destinées à compléter les ressources financières du GdR.

Enfin, les responsables du Club des partenaires présenteront un bilan annuel au Comité stratégique.

En ce qui concerne les jalons de développement pour la période quadriennale à venir, il s'agira de reprendre contact avec les partenaires identifiés dès que la convention CNRS est finalisée en 2017, en privilégiant une dizaine de contacts grands groupes pour les fidéliser et d'affiner les attentes (en particulier celles nécessitant des actions de cartographie) en 2018. Un appel plus large vers les PME sera lancé en 2018. En parallèle, une réflexion sera menée sur l'articulation du Club des partenaires du GdR avec les IRT et les pôles de compétitivité, pour étendre l'action entreprise en 2016 avec l'IRT St Exupéry.

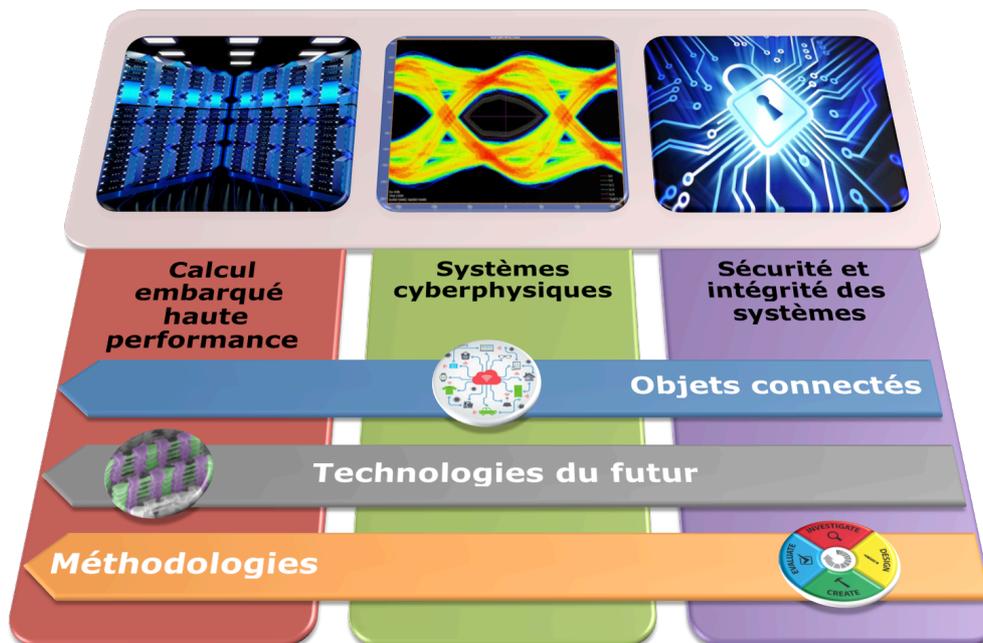
3. Animation scientifique du GdR

L'animation scientifique du GdR SoC² est assurée par des membres de la communauté qui prennent des engagements au sein du GdR. Le domaine scientifique est structuré en six axes scientifiques, qui incluent plusieurs thématiques connexes. Différents instruments d'animation sont à la disposition du comité d'animation.

a. Structuration scientifique

Le GdR est structuré en 3 axes thématiques et 3 axes transversaux :

- Axes thématiques :
 - Calcul embarqué haute performance
 - Frontières et interfaces cyberphysiques
 - Sécurité et intégrité des systèmes
- Axes transversaux :
 - Objets connectés
 - Technologies du futur
 - Méthodologies



Un axe est une structure pérenne pour la durée du quadriennal (2018-2021), où un axe thématique regroupe une communauté qui s'identifie par ses compétences disciplinaires et un axe transversal regroupe une communauté qui s'identifie par le défi ou le verrou qu'elle aborde. Les axes transversaux se superposent aux axes thématiques car les compétences requises pour résoudre le défi ou le verrou sont pluri-disciplinaires.

Les axes sont chargés de l'animation et de la structuration de la communauté dans le périmètre scientifique de leur thème. Un axe contribue à toutes les actions d'animation, de structuration et de prospectives communes du GdR. En particulier, il propose un ou plusieurs Groupes de Travail (GT) représentant une action d'animation "bottom-up" focalisée sur un sujet thématique ou inter-axe, proposée par la communauté et limitée dans le temps (1 an renouvelable) avec des responsables identifiés. La création / renouvellement d'un GT sera basé sur :

- la pertinence scientifique de l'action
- le nombre de réunions organisées dans l'année
- le nombre de participants aux réunions
- la diversité des laboratoires participant
- le nombre d'interventions ou de participation industrielle
- les retombées attendues

La structure d'animation d'un axe comprend un responsable, un responsable-adjoint, et des animateurs. Le responsable est chargé de coordonner l'organisation des activités concernant l'axe thématique, les relations avec les autres axes et GdRs connexes, les contributions de l'axe aux activités et aux missions transversales du GdR. Le responsable-adjoint remplace le responsable le cas échéant. Pour assurer la jouvence des thèmes, les responsabilités sont proposées pour un mandat de 2 ans renouvelable.

Les animateurs de l'axe sont chargés de proposer et d'organiser les activités de l'axe, et de contribuer aux activités communes et aux missions transversales du GdR, en coordination avec le responsable de leur axe et les animateurs des autres axes concernés le cas échéant. En particulier le GdR mène un travail de prospective du domaine. Elle est élaborée par une synthèse entre les contributions des axes, qui élaborent des prospectives de leurs thématiques, et les rapports de prospective publiés par les organismes et agences nationales et internationales. Ce travail de prospective permet au GdR de contribuer aux rapports de prospective et de conjoncture élaborés par le CNRS lorsque cela lui est demandé.

Dans les paragraphes qui suivent, une description de chaque axe est donnée (contenu et périmètre scientifique de l'axe, exemples de retombées scientifiques, positionnement au sein du GdR, pertinence par rapport aux stratégies de recherche en France et en Europe) ainsi qu'une analyse prospective horizon 2025 (évolution du domaine dans les 10 prochaines années, identification des défis importants et/ou émergents pour le domaine, identification des verrous liés aux défis, objectifs scientifiques, acteurs académiques). Enfin, les groupes de travail proposés ainsi que les premières actions d'animation sont décrits.

Axe thématique : Calcul embarqué haute performance**Responsables**

Sébastien Faucou, UMR 6004 LS2N / Université de Nantes, sebastien.faucou@univ-nantes.fr

Gilles Sassatelli, UMR 5506 LIRMM / CNRS, sassatelli@lirmm.fr

Mots clés

Architecture, systèmes embarqués, accélérateurs de calcul, architectures multi-cœurs / multi-processeurs, architectures reconfigurables, architectures adaptatives, micro-architecture, calcul haute performance, modèles de programmation, compilation, temps réel, sûreté de fonctionnement

Animateurs

François Berry, UMR 6602 Institut Pascal / Université Blaise Pascal Clermont-Ferrand,

francois.berry@univ-bpclermont.fr

Julien Forget, UMR 9189 CRISTAL / Université de Lille 1, julien.forget@polytech-lille.fr

Laurent George, UMR 8049 LIGM / ESIEE, laurent.george@u-pem.fr

Laure Gonnord, UMR 5668 LIP / Université Claude Bernard Lyon 1, laure.gonnord@univ-lyon1.fr

Dumitru Potop-Butucaru, INRIA Paris / INRIA, dumitru.potop@inria.fr

Franck Wajsburt, UMR 7606 LIP6 / Université Pierre et Marie Curie

Daniel Chillet, IRISA, UMR 6074 daniel.chillet@irisa.fr

Pascal Benoit, LIRMM, UMR 5506, pbenoit@lirmm.fr

Sébastien Bilavarn, LEAT, UMR 7258 bilavarn@unice.fr

Frédéric Petrot, TIMA, UMR 5159 frederic.petrot@imag.fr

Description de l'axe et positionnement

L'axe « Calcul Embarqué Haute Performance » regroupe une communauté qui s'intéresse à l'exploration d'architectures matérielles innovantes et à l'exploitation efficace et optimisée de ces architectures dans les systèmes embarqués. Ces architectures sont massivement parallèles, hétérogènes, adaptatives, virtualisées. Dans ce contexte, les problèmes abordés sont ceux de la programmation, la compilation, les infrastructures d'exécution et la conception d'architecture, en intégrant les spécificités des systèmes embarqués : contraintes de temps réel, de consommation énergétique, de sûreté de fonctionnement (fiabilité, sécurité, robustesse). Ce regroupement de compétences doit favoriser l'émergence d'approches nouvelles relevant de l'optimisation multi-niveaux à travers des collaborations, en vue de répondre aux besoins croissants de la société numérique. Les multiples aspects des substrats matériels sont adressés (calcul, communication, stockage) et les architectures considérées relèvent soit de configurations traditionnelles (systèmes multi-cœurs / multi-processeurs, architectures reconfigurables) soit d'approches nouvelles basées sur des modèles de calcul alternatif comme le calcul neuromorphique.

Les travaux menés par la communauté académique relevant de cet axe sont source de multiples innovations contribuant à la compétitivité industrielle européenne via un leadership technologique dans plusieurs domaines comme la défense et l'exploration spatiale. Ces contributions s'entendent *via* la mise à disposition d'architectures matérielles dédiées, conçues pour répondre aux exigences spécifiques de ces domaines, et des outils logiciels permettant leur exploitation optimisée.

Un autre exemple des retombées scientifiques de ces travaux est la capacité à concevoir et exploiter des architectures "sur étagère" résilientes (fiables, adaptatives) et efficaces, ce qui contribuera à la maîtrise des coûts de conception, de production et d'exploitation dans le domaine de l'automobile et en particulier dans le contexte des véhicules autonomes fiables qui représente un défi transversal à plusieurs domaines impliquant des innovations en architecture matérielles, vision, et intelligence artificielle.

Enfin, la mise au point d'architectures ultra performantes et ultra basse consommation qui fait l'objet d'intenses recherches dans la communauté trouve des applications dans de nombreux domaines et permettra en particulier d'accompagner le développement des objets connectés et de l'internet des objets.

Au sein de la structure proposée pour le GDR SOC², l'axe "Calcul Embarqué Haute Performance" s'intéresse à des thèmes qui sont communs avec l'axe thématique "Sécurité et intégrité des systèmes" (fiabilité des architectures, robustesse des systèmes, sécurité informatique) ainsi qu'avec les axes transverses "Méthodologies" (méthodes de conception d'architecture, évaluation des performances) et "Objets connectés" (ultra basse consommation). Plusieurs activités de recherche s'inscrivent à l'intersection avec l'axe transversal "Technologies Émergentes" à travers des propositions visant à tirer partie des caractéristiques inédites de certains substrats technologiques (mémoire non volatiles, composants memristifs) dans le cadre de réalisation d'architecture matérielles de calcul diverses. Par ailleurs, les travaux sur la compilation pour les systèmes embarqués sont menés en étroite collaboration avec le groupe de travail "Compilation" du GDR GPL.

Les recherches menées dans le cadre de l'axe "Calcul embarqué haute performance" ont une portée large qui adresse tous les défis qui font intervenir les sciences de l'information et de la communication. Deux défis de la stratégie nationale de recherche (SNR) sont particulièrement concernés car ils reposent sur la conception d'objets technologiques qui relèvent à ce stade de la recherche :

Défi 6 « Systèmes urbains durables »,

- *Orientation 23 "Nouvelles conceptions de la mobilité"* : l'engouement croissant quant aux nouvelles formes de mobilités tendant vers l'autonomie et la gestion de tous les aspects relatifs repose sur la conception de solutions matérielles et logicielles nouvelles qui restent à développer, et qui sont adressées dans cet axe.
- *Orientation 24 "Outils et technologies au service de la ville durable"* : l'intervention poussée des dispositifs électroniques embarqués de contrôle et leur sobriété énergétique est cruciale à l'augmentation des performances des technologie du bâtiment et de manière générale celles au service de la ville.
- *Orientation 25 "Intégration et résilience des infrastructures et des réseaux urbains"* : la vision intégrative prônée quant à la conception des réseaux de distribution divers et leur résilience et capacité d'adaptation fait intervenir des systèmes embarqués connectés. Les notions d'efficacité énergétique, de programmabilité, performance et résilience sont cruciales à l'atteinte des objectifs.

Défi 7 « Société de l'information et de la communication », axe 3 « Technologies logicielles »

- *Orientation 26 "5e génération des infrastructures réseaux"* : les technologies au coeur de la conception actuelle de réseau de 5ème génération (villes intelligentes, routes intelligentes) restent largement à inventer et relèvent pleinement des recherches menées dans cet axe.
- *Orientation 27 "Objets connectés"* : les objets connectés, qui relèvent thématiquement de l'axe transverse du même nom reposent sur des briques de bases matérielles et logicielles qui sont explorées dans l'axe "calcul embarqué haute performance"
- *Orientation 28 " Exploitation des grandes masses de données"* : la problématique de la définition d'architectures à la fois performantes et sobres en énergies est cruciale à cet orientation, et est au coeur des recherches menées.

Prospective horizon 2025 et verrous

Le défi principal à relever est celui de la maîtrise du parallélisme dans les systèmes embarqués, aux différents niveaux : logiciel (programmation, compilation, infrastructure d'exécution), matériel (performances, fiabilité, efficacité énergétique), et système (sûreté de fonctionnement, consommation énergétique). Ce défi peut ensuite se décliner en deux objectifs principaux :

- *vers des systèmes embarqués ultra-haute performance et ultra-basse consommation ;*
- *vers du calcul embarqué massivement parallèle sûr et prédictible.*

Le premier de ces objectifs vise à améliorer drastiquement l'efficacité énergétique des nœuds pour divers domaines d'applications comme l'Internet des Objets ou encore le calcul intensif. Cette préoccupation de premier plan fait l'objet de nombreux travaux à l'échelle internationale, et est adressée à différents niveaux. Les travaux relèvent des directions suivantes :

- *Optimisations matérielles et logicielles* : la recherche d'une meilleure efficacité énergétique est étroitement liée à une meilleure exploitation du matériel. La conception d'architectures matérielles fonctionnellement homogènes et structurellement hétérogènes connaît un regain d'intérêt et les paramètres d'intérêt dans la conception de tels systèmes se doivent d'être identifiés. La question logicielle est ici cruciale, quant à la répartition dynamique des tâches à travers des *runtimes* (allocation, ordonnancement) et des approches relevant de l'adaptation en ligne pour optimiser en continu l'efficacité du calcul. Ces travaux s'inscrivent dans la conception de systèmes "énergie-proportionnels", présentant une consommation proportionnelle à la charge de travail.
- *Recherche d'approches alternatives pour le calcul* : il s'agit ici de proposer des approches différentes quant aux substrats matériels pour le calcul. Les travaux basés sur le calcul approximé (*Approximate Computing*), les architectures reconfigurables dynamiquement ou encore les approches neuromorphiques s'inscrivent dans cette optique et visent directement ou indirectement à augmenter l'efficacité énergétique dans la réalisation d'un calcul donné. Des démonstrateurs technologiques convaincants sont par exemples attendus quant aux algorithmes relevant du "Deep Learning" qui sont particulièrement gourmands en puissance de calcul et donc en énergie.
- *Intégration technologique* : au-delà des investigations de nature purement technologique, la communauté identifie un potentiel important dans la prise en compte des spécificités de certaines technologies émergentes qui peuvent se transposer en des atouts décisifs à l'échelle des architectures matérielles de calcul. Les nombreux travaux visant à exploiter les technologies de mémoires non volatiles émergentes (MRAM etc.) peuvent être cités, à côté des approches exploitant les propriétés des composants memristifs pour le calcul neuromorphique. Des résultats quantifiés quant au potentiel de ces approches sont attendus, permettant de dégager les plus prometteuses pour des gains en efficacité énergétique significatifs.

Atteindre le second objectif, "*vers du calcul embarqué massivement parallèle sûr et prédictible*" nécessite de développer les outils (théoriques et logiciels) permettant l'utilisation des nouvelles architectures dans les domaines de l'embarqué critique tels que l'avionique ou l'automobile. La poursuite de cet objectif fait l'objet de nombreux travaux à l'échelle européenne et internationale, dans différentes directions :

- *Modèles de programmation et techniques de compilation* : il s'agit d'étudier, dans le contexte des architectures embarqués émergentes (multi-cœur, multi-processeur, reconfigurable), des modèles de programmation, ainsi que des techniques d'optimisation et de génération de

code, qui ne soient pas *ad-hoc* et uniquement orientés vers l'optimisation des performances moyennes, mais qui prennent mieux en compte les contraintes spécifiques des systèmes embarqués critiques (consommation énergétique, tolérance aux fautes, prédictibilité, etc.).

- *Allocation et ordonnancement* : le verrou visé ici est celui du passage à l'échelle des techniques (statiques et dynamiques) d'allocation et d'ordonnancement des tâches et des accès mémoires pour des architectures massivement parallèles et potentiellement hétérogènes, avec des objectifs de sûreté de fonctionnement et de temps réel. Au-delà de la résolution de problèmes d'optimisation particulièrement complexes, il s'agit également de savoir construire un système compositionnel sur le plan temporel. Cela passe entre autres par la capacité à calculer des estimations compositionnelles de bornes supérieures sur les temps d'exécution, ainsi que par le développement de mécanismes, logiciels ou matériels, d'isolation en ligne.
- *Sûreté de fonctionnement* : le développement de systèmes sûrs de fonctionnement (fiable, sécurisé, robuste), nécessite l'adoption d'approches holistiques. Aujourd'hui, des travaux sont nécessaires pour compléter les approches existantes. Ainsi, la considération conjointe des aspects temps réel et sécurité informatique est un sujet nouveau et important. Un autre domaine d'étude est celui de la prise en compte de l'impact des caractéristiques technologiques (variabilité, vieillissement) sur la fiabilité des systèmes.

Objectifs scientifiques :

Pour répondre aux défis évoqués ci-avant, l'axe sera structuré autour des thèmes suivants :

- *Calculs contraints* : temps réel, énergie, sûreté de fonctionnement (fiabilité, sécurité, robustesse), contraintes de ressources.
- *Architecture et programmation des systèmes multi- et many-cœur* : modèles de calcul, langages et modèles de programmation, allocation et ordonnancement, génération de code parallèle, synthèse haut niveau, transformation de programme, compilation statique et « just-in-time », modèles d'architecture matérielle, support d'exécution (runtime) pour machines hétérogènes, infrastructure de communication
- *Calcul adaptable et systèmes adaptatifs* : modèles de calcul, modèles de programmation, modèles d'architecture matérielle, architectures reconfigurables, virtualisation, dynamique, « transient computing », migration de tâche, compilation « just-in-time », observation, commande
- *Calculs émergents* : « normally-off computing », calcul approximé, arithmétiques nouvelles, logiques adiabatiques, stochastique, architectures neuromorphiques

Acteurs académiques français (liste non-exhaustive par ordre alphabétique) :

CRISAL, ETIS, IETR, INL, Institut Pascal, INRIA, IRISA, IRIT, Lab-STICC, LAMIH, LEAT, LE2I, LIGM, LIAS, LIP, LIP6, LIRIS, LIRMM, LS2N, LTCI, TIMA, Verimag

Groupes de travail proposés

- GT Systèmes embarqués parallèles, dynamiques et adaptatifs
- GT Temps réel et sécurité
- GT Systèmes multi-cœur : compilation et runtime (lien avec le GT Compilation du GdR GPL)

Axe thématique : Frontières et interfaces cyberphysiques

Responsable

Patricia Desgreys, LTCI / Telecom ParisTech, patricia.desgreys@telecom-paristech.fr

Mots clés

Systèmes AMS intelligents, Communications RF, Modularité/Agilité, Systèmes hétérogènes, Conversion d'énergie embarquée

Animateurs

Nathalie Deltimple, IMS / ENSEIRB, nathalie.deltimple@ims-bordeaux.fr

Luc Hébrard, ICube / Université de Strasbourg, luc.hebrard@unistra.fr

Hervé Barthélémy, IM2NP / Université Toulon Var, herve.barthelemy@univ-tln.fr

Description de l'axe et positionnement

A l'heure où les systèmes informatiques en réseau sont toujours plus présents dans notre quotidien et où les systèmes électroniques s'orientent vers une interaction de plus en plus poussée avec le monde physique, les mondes informatique et physique fusionnent pour évoluer vers les systèmes cyber-physiques. Le monde physique entre dans le réseau avec une interaction accrue entre les informations physiques ultra-riches du monde réel et la haute puissance de calcul du monde numérique.

Cette fusion vise à accroître la capacité d'adaptation, l'autonomie, l'efficacité, la fonctionnalité, la fiabilité et la sécurité des systèmes du futur. Pour relever ces défis, l'axe Frontières et interfaces Cyberphysiques du GDR SOC² est structuré pour couvrir les recherches indispensables à l'émergence de ces systèmes cyberphysiques complémentaires de la recherche sur les systèmes électroniques et leurs interactions.

L'objectif de cet axe est le développement d'éléments, ou de « briques de base », permettant l'interfaçage du système d'objets connectés d'un côté avec le monde physique via des capteurs et de l'autre côté avec le cœur du système via des communications, notamment RF :

- 1) Les capteurs sont clés car ils permettent d'acquérir les informations brutes. Ils se doivent néanmoins d'être compatibles avec l'application, ce qui peut demander d'optimiser leur consommation (adaptation du capteur à son environnement, récupération locale d'énergie pour alimenter le capteur...), de les miniaturiser, d'introduire une pré-intelligence au sein même du capteur (prétraitement des données, compression...). Le coût des techniques employées est aussi un enjeu de par le nombre de capteurs à déployer.
- 2) Communication RF (antennes, circuits AMS&RF) : la prise en compte et la gestion de la consommation oriente la conception des circuits AMS&RF vers plus de modularité et d'agilité. Les interfaces de communications intelligentes conçues dans cet objectif utilisent à la fois l'interaction avec le monde réel (capteurs intelligents, récupération d'énergie), la connaissance du réseau, la puissance du numérique (adaptation, correction) ainsi que l'usage auquel est destinée la donnée (Compressed sensing, A to I converter).

Exemples de retombées scientifiques :

Emergence de nouveaux capteurs particulièrement adaptés aux SOC

Capteurs adaptables et faible coût

Emergence de nouvelles architectures de communication agile

Gestion de l'énergie embarquée

Positionnement au sein du GDR :

Il s'agit d'un axe thématique qui assure l'interface entre le monde physique et le monde numérique, il alimente en données pertinentes l'axe calcul embarqué haute performance et rend possible la sécurisation des systèmes. Il travaille en lien avec et pour les trois axes transverses : objets connectés, méthodologies et technologies du futur.

L'axe est aussi en lien avec les 7 premiers grands défis de la SNR France-Europe H2020 dont en particulier :

Défi 1 : Gestion sobre des ressources adaptation changement climatique (orientation 1)

Défi 2 : Une énergie propre, sûre et efficace (orientation 6)

Défi 3 : Le renouveau industriel (orientation 15)

Défi 4 : Santé et Bien-être (orientation 17 : traitement et collecte des données ...)

Défi 6 : Transport...

Défi 7 : orientation 27 : objets connectés

Prospective horizon 2025 et verrous

Le développement des capacités de l'intelligence artificielle (IA) s'est considérablement accéléré, cette accélération s'est concrétisée pour le grand public en mars 2016 dans le domaine du jeu de Go ; elle va dorénavant s'étendre au le domaine de la cyber-physique ; un système cyber-physique est un système où des éléments informatiques collaborent pour le contrôle et la commande d'entités physiques. Cette avancée s'accompagnera d'une montée en puissance constante et nécessaire du 'Numérique'. La prochaine étape pour l'IA sera donc de communiquer de façon très interactive avec le monde physique, c.à.d. avec l'humanité, le monde du vivant et la 'matière'.

Pour cela l'intégration des systèmes est une nécessité cruciale pour les années à venir ; elle fixe naturellement les objectifs du projet de reconduction du GDR SOC² dans le domaine de la Cyber-physique. Concernant ce thème, les systèmes on chip (SoC) et systèmes 'in package' (SiP) deviendront des Cyber-SOC si et seulement si les verrous technologiques sont levées. Le principal verrou identifié est l'excès de consommation des systèmes analogique actuels qui empêche un développement rapide de l'IA sur les réseaux de capteur et d'actionneurs ainsi que les réseaux de communications radiofréquence ou système communicants autonomes. Notons que l'un des enjeux de l'IA concernera un des grands domaines stratégiques nationaux et internationaux que constituent la gestion et la maintenance des réseaux électriques haute et moyenne tensions.

Le Cyber-SOC est la réponse au développement de la cyber-physique. C'est pour cette raison, par exemple, que le développement de l'IoT (Internet des objets) est aussi une branche de recherche que la Cyber-physique se doit d'explorer. Remarquons que dans le cadre du GDR, le thème cyber-physique se différencie des travaux axés sur le développement de réseaux complexes ou des algorithmiques à haut niveau de traitement de l'information. La partie Cyber du cyber-SOC pour le GDR SOC² concernera de nombreux laboratoires de recherche en France. Leurs missions seront stratégiques pour que l'Europe reste compétitive et leader durant la 'révolution numérique'. Ainsi les travaux à mener pour le groupe de chercheurs et laboratoires associés au thème Cyber-Physique sera, dans le cadre de la reconduction du GDR, d'animer et de soutenir le développement des cyber-SOC communicants, en particuliers la capacité pour les systèmes à interagir avec l'environnement, matière et vivant, à l'interface de la physique et de la machine devenue intelligente.

Ainsi dans les prochaines années, nous savons qu'il y aura toujours plus de systèmes connectés et l'évolution sera pilotée par les systèmes plutôt que par les technologies. A ce titre, les industriels parlent maintenant d'IRDS (International Roadmap for Devices & Systems), en plus ou en complément de l'ITRS (International Roadmap for Technology for Semiconductors), car on attend de forts gains sur l'ensemble des défis grâce au déploiement des Systèmes Connectés (SC) à grande échelle et leur utilisation à l'échelle de grands systèmes.

Les SC vont se développer spécifiquement par application et selon les usages induits. Toutefois, au niveau de l'interfaçage avec le monde physique d'une part, et avec l'intelligence du système d'autre part, des défis communs à tous les SC se dégagent. Ces principaux défis sont :

- La nécessité d'intégrer une intelligence localisée au niveau de l'objet (nœud sensible), et cette intelligence se doit de consommer le moins possible, en accord avec l'application. Pour cela, il sera indispensable de lever certains verrous et notamment :
 - d'optimiser l'élément sensible, soit au niveau même de l'élément même, soit en leur ajoutant une électronique spécifique permettant d'optimiser sa consommation tout en assurant une haute résolution de mesure
 - efficacité énergétique de la transmission RF: une diminution drastique de la consommation de 90% pour les futures communications 5G par rapport à l'existant.
 - d'adapter l'utilisation de l'élément à l'application (power management, reconfiguration...): une gestion intelligente, flexible des phases d'activité/d'inactivité du capteur peut permettre une réduction drastique de la consommation autour de 70%
 - de compresser les données localement (Analog to Information...) par le développement d'algorithmes spécifiques, adaptés à l'application: numérisation et transmission d'un faible nombre d'échantillons en deçà de la limite de Nyquist, suffisant pour calculer l'information utile pour l'application. Le pré traitement analogique et la cadence d'échantillonnage doivent être flexibles.
- La nécessité d'optimiser la communication avec le cœur du système. Ici, les verrous portent sur :
 - le développement de communications RF interopérables
 - des communications compatibles avec la sécurité des données, d'où un lien évident avec les techniques développées dans l'axe « sécurité et intégrité des systèmes »
 - l'optimisation de la consommation de la communication
- La nécessité de développer des modèles de haut-niveau de ces nœuds sensibles, compatibles avec les techniques de simulation/modélisation de systèmes développées dans l'axe « Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes ». Ici, le principal verrou est lié à la précision du modèle qui se doit d'être suffisante en tenant compte des principaux paramètres influant sur le système, tout en permettant une simulation système à grande échelle.

Actions de recherche

Les systèmes connectés vont se développer par applications. Parmi les grands défis, la santé et l'environnement sont des domaines qui appelleront de nombreux développements. Aussi les actions de recherche envisageables au sein de l'axe « Frontière / interface cyberphysique » sont :

- Au niveau même des capteurs
 - Capteurs de signaux biologiques in-vivo

- Capteurs en environnement très sévères : mesure de paramètres physiques à haute température (moteur), très dangereux (nucléaire)
- Capteurs de composés organiques volatiles
- Au niveau des Circuits et Systèmes de communication
 - Emetteur/Récepteur (E/R) en environnement spécifique : intrabody, ex dans le cœur humain
 - Circuits et Systèmes agiles, reconfigurables ou large bande
 - Techniques de récupération d'énergie : pluralité, complémentarité de ses techniques.
- Au niveau de l'intelligence du traitement
 - Correction numérique : identification et correction des imperfections des E/R RF.
 - Compressed Sensing : identification de la parcimonie d'un signal et réduction du taux d'échantillonnage (réduction de la consommation)
 - des nouveaux algorithmes (intelligence artificielle, calculs neuronaux) pour explorer ensemble l'apport de ces nouveaux algorithmes permettant de renforcer les capacités d'apprentissage des systèmes et objets de communication.

Acteurs académiques français (liste non-exhaustive par ordre alphabétique)

UMR-CNRS : C2N, ETIS, FEMTO-ST, GeePs, ICube, IEMN, IM2NP, IMS, INL, LAAS, Lab-STICC, LCIS, LEAT, LIP6, LIRMM
IMT- TPT : LTCI

Groupes de travail proposés et actions d'animation

GT Capteurs

GT Communication

Workshop : 1 journée « Capteurs innovants et objets connectés autonomes faible consommation. »

Axe thématique : Sécurité et intégrité des systèmes

Responsable

Lilian Bossuet, Lab. Hubert Curien / Univ. Jean Monnet, lilian.bossuet@univ-st-etienne.fr

Responsable adjoint

Emmanuel Boutillon, Lab-STICC / Univ. Bretagne Sud, Emmanuel.Boutillon@univ-ubs.fr

Mots clés

Sécurité matérielle, test, tolérance aux fautes et vérification

Animateurs

GT sécurité matérielle (commun avec le GDR Sécurité)

Marie-Lise Flottes, LIRMM / CNRS, flottes@lirmm.fr

Lilian Bossuet, Lab. Hubert Curien / Univ. Jean Monnet, lilian.bossuet@univ-st-etienne.fr

GT test et tolérance

Arnaud Virazel, LIRMM / Université de Montpellier, arnaud.virazel@lirmm.fr

Mounir Benabdenbi, TIMA / Grenoble INP, Mounir.Benabdenbi@imag.fr

GT vérification

Katell Morin-Allory, TIMA / Grenoble INP, katell.morin-allory@imag.fr

Description de l'axe et positionnement

L'environnement des systèmes sur puce évoluant vers plus de complexité, de connectivité et de mobilité, le maître mot de leur développement futur est la confiance. Celle-ci se décline transversalement suivant les besoins.

- Confiance dans la capacité des systèmes à résister à des attaques visant la confidentialité et l'intégrité des informations dont ils assurent le traitement.
- Confiance dans la traçabilité fournie par les systèmes quant à leur conception et à leur origine afin de prévenir les fraudes et les vols.
- Confiance dans le fonctionnement des systèmes même soumis à des perturbations environnementales d'autant plus invasives que les technologies micro-électroniques/photoniques atteignent les dimensions aux limites de la physique.
- Confiance dans la robustesse des systèmes aux variations de paramètres lors de la conception et de l'usage.

La confiance ne s'acquière qu'à travers des méthodes et des outils qui permettent la vérification, au plus tôt et dans toutes les phases de conception, des propriétés de sécurité, de sûreté et de testabilité. Elle est confirmée par le test après fabrication et durant l'usage des systèmes.

L'axe se place principalement dans trois défis et plusieurs des grandes orientations stratégiques de la SNR :

- **Défi 7 / Société de l'information et de la communication.** Notamment à travers la conception des infrastructures et systèmes sûrs pour le traitement des données, la sécurité et la sûreté de fonctionnement des systèmes, et la sécurité des transactions dans le cyberspace, les mécanismes de protection de la vie privée ainsi que la propriété intellectuelle. Ces points apparaissent dans l'orientation 25 « **Systèmes sûrs d'exploitation des grandes masses de données** » et l'orientation 27 « **Internet des objets** ».
- **Défi 8 / Une ambition spatiale pour l'Europe.** Notamment à travers la limitation de la dépendance de l'industrie européenne et française pour des composants électroniques critiques, la défense et la sécurité du territoire (par exemple pour le renseignement d'origine

électromagnétique). Ces points apparaissent dans l'orientation 33 « **Composants critiques** » et l'orientation 35 « **Défense et sécurité du territoire** ».

- **Défi 10 / Liberté et sécurité de l'Europe**, de ses citoyens et de ses résidents. Notamment à travers la capacité des systèmes à l'autoréparation et la reprise de leur activité le plus rapidement possible lorsque les crises ont eu lieu (résilience des systèmes complexes), la conception de dispositifs résilients (tolérants aux défauts, aux sabotages, aux dégradations), l'intégration de la sécurité dès le stade de conception des systèmes physiques ou numériques. Ces points apparaissent dans l'orientation 36 « **Prévention et anticipation des risques et des menaces** » et l'orientation 38 « **Résilience des systèmes de sécurité complexes interconnectés** ».

Cet axe s'inscrit très bien dans les programmes d'actions prioritaires portant sur la fiabilité des systèmes complexes et la sécurité et cybersécurité des infrastructures.

L'axe se place également principalement dans trois programmes de travail HORIZON H2020 Européen (mais ce n'est pas exhaustif):

- **Leading in Enabling and Industrial Technologies - Space.** Notamment à travers la thématique « Technologies for European non-dependence and competitiveness ».
- **Secure societies - Protecting freedom and security of Europe and its citizens.** Notamment aux travers des thématiques « technologies for prevention, investigation, and mitigation in the context of fight against crime and terrorism », « Assurance and Certification for Trustworthy and Secure ICT systems, services and components », « Cybersecurity PPP: Cryptography » et « Cybersecurity PPP: Privacy, Data Protection, Digital Identities ».
- **Information and Communication Technologies.** Notamment aux travers des thématiques « Thin, Organic and Large Area Electronics », « Smart System Integration », « Advanced Computing and Cloud Computing », « Micro- and nanoelectronics technologies ».

Prospective horizon 2025 et verrous

La confiance matérielle, telle qu'elle est envisagée au sein du GDR SoC², est passée depuis quelques années au premier plan en raison du développement et de l'utilisation intensive des systèmes électroniques embarqués et aujourd'hui du développement de la cybersécurité, de l'internet des objets et des objets connectés pour tous types d'applications, des plus anodines aux plus critiques (santé, transport, énergie...). L'évolution du domaine dans les 10 prochaines années sera très importante avec notamment une part de développements industriels conséquents qui doivent conduire les équipes académiques à un haut niveau de valorisation des travaux sur la décennie précédente et de transferts technologiques. Cependant, la communauté académique devra poursuivre une activité amont importante pour répondre aux défis émergents pour le domaine.

Les principaux défis qui se posent à la communauté de chercheurs du GDR SoC sur cet axe sont l'adaptation des méthodologies aux technologies à venir (*technologies 3D, nanoélectronique, ultra-low-power, système multi-clock, circuit mixte numérique-analogique, ...*), la montée dans les niveaux d'abstraction pour l'insertion des méthodes développées (vérification formelle, sécurité, tolérance aux fautes, ...) dans les flots de conception en les rendant « transparentes » pour l'utilisateur, et enfin le passage à l'échelle en termes de complexité, densité d'intégration, de fusion du logiciel et du matériel, et d'hétérogénéité des systèmes.

- Si les algorithmes standards de chiffrement à clé symétrique ou à clé publique sont toujours au cœur des efforts de recherche et de développement, de nouveaux schémas de chiffrement sont

de plus en plus étudiés. C'est notamment le cas du chiffrement authentifié, du chiffrement post-quantique et du chiffrement homomorphe. Ce dernier type de chiffrement est particulièrement intéressant pour des applications d'informatique dans le nuage et pour le traitement à distance de l'information puisqu'il permettrait de réaliser des opérations directement sur des opérandes chiffrés. Cependant les réalisations matérielles du chiffrement homomorphe actuellement disponibles ne respectent pas les contraintes de surface imposées par la réalisation sur puce.

- **Des réalisations efficaces des nouveaux schémas de chiffrement doivent être proposées rapidement par la communauté pour augmenter l'acceptabilité de ces nouveaux schémas de chiffrement.** C'est pourquoi, les liens entre les algorithmes, les représentations des données, les architectures matérielles et la résistance aux attaques physiques seront aux cœurs des travaux scientifiques en sécurité matérielle dans les années à venir.
- Pour de nombreuses applications il existe un besoin fort en **réalisations matérielles légères et même ultralégères d'algorithmes de chiffrement** devant apporter des garanties élevées de sécurité vis-à-vis des attaques physiques.
- La complexité et l'hétérogénéité des Systems-On-Chip (SoC) grandissants, des méthodes efficaces pour leur conception et pour l'évaluation de la sécurité des moyens de protection logiciels et matériels doivent être étudiées. **Pour cela il faut disposer d'outils de conception conjointe logicielle-matérielle et de synthèse de haut niveau prenant en compte la sécurité comme une contrainte de conception, ces outils n'existent pas encore.**
- **Durant les phases de conception, des outils de vérification holistique formelle de la sécurité et de la sûreté (fiabilité) portant à la fois sur le logiciel et le matériel sont aussi nécessaires. Ces mêmes outils doivent aussi permettre une vérification des circuits mixtes numérique/analogique.** Effectivement, la vérification formelle des circuits analogiques est encore peu abordée, elle souvent une application de méthode issue du monde du numérique et elle ne s'applique qu'un très petit nombre de transistors. De même la sécurité des SoC se concentre principalement sur les aspects numériques et délaisse les parties analogiques qui peuvent être sensibles. Par exemple, dans la lutte contre la contrefaçon de circuits intégrés (Défi 8 – orientation 33 de la SNR), seuls les circuits intégrés numériques sont considérés.
- En lien avec le point précédent, **il faut définir et développer des outils d'aide à la spécification afin de permettre aux concepteurs de mieux prendre en compte l'ensemble des éléments de la confiance matérielle.** Pour cela une montée dans les niveaux d'abstraction est souhaitable.
- **Le développement de la sécurité par conception des SoC et des systèmes embarqués reste un objectif fort dans les années à venir avec de nouveaux enjeux comme par exemple la gestion des droits de propriété des IP et des circuits, la surveillance comportementale des systèmes, la résilience des systèmes matériels sensibles, la garantie des fonctions de test, de diagnostic et de débogage sans préjudice sur la sécurité et la proposition de mécanismes sophistiqués d'authentification et d'identification.**
- **Le développement de chaînes de confiance allant du système au matériel est un enjeu fort** aujourd'hui. La vérification formelle (multi-niveaux et multi-technologies) de l'ensemble de la chaîne de confiance est à développer dans un futur proche (notion de « *sécurité prouvée* » / de « *sûreté prouvée* »).
- **Il faut aussi pouvoir coupler des systèmes cryptographiques sûrs et légers avec des éléments de traçabilité et d'identification intrinsèque des composants matériels.** Les fonctions physiques non clonables (qui permettent d'extraire un identifiant unique d'un circuit ou système intégré) bénéficient aujourd'hui d'une attention très forte de la communauté, ne sont qu'une réponse partiellement satisfaisante. Il convient d'étudier précisément leur

modélisation afin d'apporter les garanties de sécurité inhérentes au processus de certification de la sécurité.

- Enfin les couches les plus basses, ne sont pas à délaissier, de nouvelles technologies de communications (NFC, RFID...) et d'implantation (FDSOI, MRAM, RRAM, nanotubes...) doivent être évaluées vis-à-vis de leur tolérance aux fautes et vis à vis des attaques physiques existantes et vis-à-vis de leur capacité à intégrer des éléments clés de la sécurité comme la génération de nombres aléatoires (TRNG et PUF), la mémorisation sécurisée de données sensibles et les services cryptographiques. **La mise en lumière de problème de tolérance aux fautes et de failles et de sécurité inhérentes à ces technologiques doit être un des objectifs prioritaires de travaux à conduire dans les années à venir.**

Acteurs académiques français (liste non-exhaustive par ordre alphabétique) :

Ecole des Mines de Saint-Etienne, INRIA-AOSTE, IRISA, Laboratoire Hubert Curien, Laboratoire TIMA, LabSTICC, LCIS, LIFL, LIP6, LIRMM, LORIA, LS2N, LTCI, ONERA, Telecom ParisTech, Verimag, Xlim

Groupes de travail proposés et actions d'animation

- Sécurité matérielle, commun avec GdR Sécurité (fonctionnement symétrique)
- Vérification formelle (multi-niveaux et multi-technologies)
- Test et tolérance

Axe transversal : Objets connectés

Responsable

Olivier Romain, ETIS / ENSEA, olivier.romain@ensea.fr

Responsable adjoint

Daniel Chillet, IRISA / ENSSAT Lannion, daniel.chillet@irisa.fr

Mots clés

Réseaux d'objets hétérogènes, Internet des objets, Interaction objet/milieu, Cognition, Plateforme d'expérimentations, de simulation, Systèmes Multi-physiques, Multi-échelle, Sécurité des données et des services, Fiabilité et acceptation, Conception faible consommation, Autonomie, Communication sporadique, Circuits reconfigurables, Territoire intelligent, Transports intelligents, Dispositifs biomédicaux, Implants biomédicaux, Usine 4.0, Impact sociétal, Eco-conception

Animateurs

Ahcène Bounceur, Lab-STICC / Université de Brest, Ahcene.Bounceur@univ-brest.fr

Smail Niar, LAMIH / Université de Valenciennes, Smail.Niar@univ-valenciennes.fr

Description de l'axe et positionnement

Les objets connectés sont aujourd'hui au cœur des enjeux économiques, sociaux et humains. Ils sont devenus omniprésents dans nos sociétés numériques : au-delà des ordinateurs et autres smart devices, ils ont investi un large domaine applicatif permettant de répondre aux défis de demain en matière de mobilité, d'environnement, de santé et d'industrialisation. Ces perspectives imposent de repenser ces objets à différents niveaux (électronique, système et, système de système) en introduisant de nouveaux paradigmes de conception, de communication, de cognition et de traitement de l'information.

C'est dans ce périmètre scientifique que s'inscrit cet axe transverse, en se positionnant plus particulièrement sur des questions relatives à la modélisation multi-physique / multi-échelle, à la conception, aux mécanismes d'identification/adaptation et compensation du milieu, et à la validation d'objets connectés cognitifs à fortes contraintes liées aux domaines applicatifs et à leur environnement.

Les retombées sociétales liées aux domaines applicatifs sont par exemples à titre indicatifs :

en santé et bien être :

- Prévention et aide au diagnostic précoce
- Amélioration et optimisation des traitements et de leurs suivis
- Augmentation de l'autonomie (suppléance fonctionnelle et compensation du handicap)
- Optimisations des actes (ergonomie, réduction de la souffrance, réduction des complications)
- Compréhension des mécanismes du vivant et de leur interaction avec l'objet
- Accompagnement dans les activités quotidiennes / sportives et meilleure gestion de celles-ci

... dans le domaine des transports et systèmes urbains durables ...

- Optimisation de l'efficacité énergétique et environnementale
- Nouveaux usages
- Fiabilité, résilience
- Sécurité et aide à la gestion des trafics

et d'une manière générale :

- Meilleure connaissance du milieu et des interactions milieu/objet pour l'optimisation des circuits de traitements, des performances énergétique et l'agilité des communications (qualité de service)
- Méthodologie d'adaptation de l'objet et élaboration de nouvelles stratégies d'adaptation (consommation, fiabilité, acceptabilité)
- Processus d'identification, de caractérisation et d'adaptation au milieu
- Amélioration des performances et de la QoS
- Optimisations du placement des ressources et des fonctions, optimisations du déploiement et des services
- Passage à l'échelle, le modus operandi de la collecte et du stockage des données
- //Développement d'outils, de plateforme pour les objets connectés intégrant les contraintes (com, architecture, //

Le positionnement au sein du GDR

- axe transversal s'appuyant sur les axes Calcul embarqué haute performance, Frontières et interfaces cyberphysiques, Sécurité et intégrité des systèmes, avec la dimension système, cognitive et réseau
- pas de développement d'une technique particulière mais réponse à des défis sociétaux
- aux interfaces avec des technologies émergentes pour faire évoluer les objets.

Le positionnement au sein d'autres GdR

- axe commun avec le GDR Homme Réparé – GT5 suppléance et contrôle

Les thématiques de l'axe émergent sur trois défis de la Stratégie Nationale de la Recherche qui sont :

Défi 4 : Santé et bien-être

- orientation 17 : Traitement et collecte des données biologiques

Défi 6 : Transports et systèmes urbains durables

- orientation 22 : Observatoire de la ville
- orientation 23 : Nouvelles conceptions de la mobilité

Défi 7 : Société de l'information et de la communication

- orientation 27 : Objets connectés
- orientation 28 : Exploitation des grandes masses de données

Prospective horizon 2025 et verrous

L'évolution du domaine dans les 10 prochaines années se focalisera essentiellement sur les deux problématiques suivantes :

- **Passage à l'échelle des objets et des données** : Les estimations prévoient plus de 100 milliards d'objets connectés pour 2025. Il est nécessaire dès à présent d'imaginer de nouveaux paradigmes de communication et de traitement afin d'augmenter la pertinence des données recueillies tout en répondant à des contraintes de temps sévères, de consommation énergétique, de prise de décision, de conception sur le plan environnemental (éco-conception, biodégradabilité, ...) et d'acceptabilité.

- **Architecture et mode opératoire** : l'agilité de l'objet et des services associés nécessite des mutations au niveau de son architecture et mais aussi au niveau système via des compromis entre approches distribuées et centralisées (données, placement des ressources de calcul et de contrôle). Ces changements permettront de garantir un certain niveau de fiabilité, de protection et de résilience pour des applications numériques critiques (santé, transport, industrie, etc).
- objectifs quantitatifs pour un critère précis
 - le développement des objets connectés pourrait être freiné si leur consommation ne leur confère pas une autonomie suffisante. À l'heure actuelle, des facteurs importants doivent être gagnés selon les contextes applicatifs et la qualité de service exigée.
 - repousser les limites de l'autonomie de ces objets dotés de systèmes de récupération d'énergie,
 - maîtriser les variations de température de l'objet : 1 à 2 degrés
 - dans le domaine des transports : latence de communication < ms pour les véhicules, coût de conception
- objectif qualitatif pour une fonction en rupture
 - dispositifs mini-invasif
 - amélioration de la qualité de vie tout au long de la vie (personnes à mobilité réduite),
 - objets autonomes en énergie,,
 - santé : dépistage précoce, optimisation des traitements, des actes, réduction de la souffrance, augmentation de l'autonomie, diagnostique plus précis, tolérance aux traitements.

Applications :

- amélioration du trafic, de la sécurité routière, continuité des services
- déploiement d'objet de plus en plus intelligent in vivo par exemple
- ubiquité
- SHS
- réduction de la douleur

Identification des verrous liés aux défis

- verrous scientifiques
 - Diversité et Variabilité des signaux
 - Communication de données hétérogènes et sporadiques
 - Support efficace pour la collecte et la fusion de données
 - Qualité de services,
 - Fiabilité des capteurs et des architectures
 - Vulnérabilité et Résilience des objets
 - Interférences (entre quoi et quoi ? entre objets ?)
 - Saturation des réseaux
 - Connectique, packaging
 - Complexité de la cognition
- verrous technologiques (obstacles liés à une technologie particulière) – par exemple, le changement nécessaire d'une technologie pour répondre à un défi

- support souple, biodégradable
- récupération d'énergie
- biopile
- contraintes thermiques
- Portée des modules radios
- Débit des communications
- Garantie de la confidentialité des données personnelles et privées
- Garantir des réseaux sans fil dense sans risque d'interférence
- Réseau non dangereux pour la santé

Objectifs scientifiques

- Modélisation de l'Interaction milieu/objet
- Conception faible consommation, gestion énergétique, autonomie
- Adaptabilité des objets
- Méthodologie de conception, simulation : multi-physique, multi échelle, ...

Acteurs académiques français (liste non-exhaustive par ordre alphabétique) :

C2N, CITI, ETIS, FEMTO-ST, IM2NP, ICUBE, IJL, IMS, INL, IRISA, Lab-STICC, LAMIH, LEAT, LIP6, LIRIS, LIRMM, TIMA

Groupes de travail proposés et actions d'animation

GT1 : Prospectives recherches

Objectifs :

- Animation du réseau à l'échelle nationale sur les problématiques de recherche en liens avec l'axe
- Eclairage par des experts académiques (nationaux et internationaux) et industriels

Programme d'animation :

- Organisation d'une journée thématique par trimestre
- Participation à des conférences internationales
- Organisation d'une école d'hiver

GT2 : Partenariats et projets

Objectifs :

- Recherche de partenaires industriels et académiques
- Elaboration de projets collaboratifs

Programme d'animation :

- Organisation d'une journée semestrielle : projets (janvier et septembre)

GT3 : Diffusion pédagogique des connaissances

Objectifs :

- Répertorier les ressources pédagogiques en liens avec les activités de l'axe
- Réaliser une plateforme d'échange de ressources pour les étudiants et les enseignants
- Former les enseignants à une technologie en rupture

Programme d'animation :

- Journée de sensibilisation
- Création d'un espace dédié sur le site du GDR pour l'échange de ressources

GT4 : Plateformes

Objectifs :

- Création d'une plateforme pour le test et la validation d'objets connectés
- Création d'une référence nationale

Axe transversal: Technologies du futur

Responsable

Sébastien Le Beux, INL / Ecole Centrale de Lyon, sebastien.le-beux@ec-lyon.fr

Mots clés

Complexité ; nouveaux paradigmes de calcul et de mémorisation l'information; évolution du support d'information s'agissant des communications

Animateurs

Damien Deleruyelle, INL / INSA Lyon, damien.deleruyelle@insa-lyon.fr

Jacques-Olivier Klein, C2N / Université Paris Sud, jacques-Olivier.Klein@u-psud.fr

Jean-Michel Portal, IM2NP / Université Aix Marseille, jean-michel.portal@univ-amu.fr

Damien Querlioz, C2N / CNRS, damien.querlioz@u-psud.fr

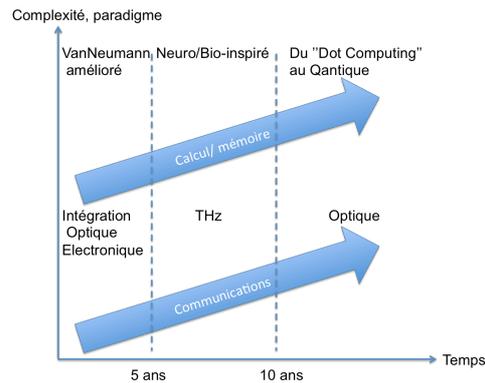
Aida Todri-Sanial, LIRMM / Université Montpellier, aida.todri@lirmm.fr

Description de l'axe et positionnement

Cet axe doit permettre l'anticipation du déploiement des modèles/outils/concepts/méthodes de conception sous-tendus par les technologies du futur. Une technologie est définie comme étant un agencement de matériaux et d'étapes de conception permettant la réalisation de dispositifs utilisés comme briques de base dans les SoC. Ces briques de base permettent de réaliser des fonctions de calcul (nanofils, nanotubes, SET, etc.), de mémorisation (MRAM, ReRAM, etc.) ou de communications (nanophotonique, spin, terahertz, optique visible, etc.)

Il s'agit d'une part d'augmenter les performances, l'efficacité énergétiques et la robustesse (fiabilité et sécurité) des SoC. De même, l'intégration des SoC sur des substrats non-conventionnels (e.g. électronique souple, plasmonique) et leur potentiel en terme de développement durable seront couverts. Une attention particulière sera portée sur les objets connectés comprenant capteurs et réseaux de capteurs, ainsi que sur les systèmes cyber-physiques et plus particulièrement l'interface nouvelles technologies et nœuds/réseau de capteurs.

Il s'agit de permettre le déploiement de paradigmes de calcul (logique multi niveaux, calcul approximatif, asynchrone, neuroinspiré, etc.) et de faciliter la transition vers ces paradigmes depuis les solutions existantes (e.g. Von Neuman → neuromorphique → dot computing → quantique) en tirant profit des bonnes propriétés des technologies. Il s'agit donc également de porter une réflexion sur les paradigmes en rupture (sur lesquelles les nouvelles technologies peuvent apporter une valeur ajoutée) et qui entraînent des convergences calcul/mémoire, calcul/communication, et mémoire/communication (voir figure ci-dessous). Les technologies possibles devront donc être recensées (e.g. nanophotonique, memristors, STT RAM, quantique, spintronic) et leur degré de maturité régulièrement mis à jour.



Exemple de degré de complexité et de maturité de nouveaux paradigmes de calcul reposants sur des technologies du futur

Cet axe transversal pourra également traiter des usages des nouvelles technologies dans le cadre d'animations scientifiques avec la communauté SHS.

Dans le cadre de cet axe, des figures de mérites doivent être identifiés : efficacité énergétique, performances (débit et puissance de calcul), densité d'intégration et robustesse (fiabilité et sécurité). Des méthodes d'évaluation de ces métriques seront définies selon la maturité technologiques et l'application visée. Il est d'ores et déjà envisageable de couvrir les aspects suivants :

- augmentation de l'efficacité énergétique des SoC : évolution des architectures de calcul ;
- augmentation de la densité d'intégration des mémoires ;
- augmentation des débits de communication : amélioration de la co-intégration monolithique opto-électronique pour les communications THz ;
- utilisation des memristors pour la mise en œuvre de calculs neuro-morphiques ;
- intégration d'électronique sur divers substrats (plasmonique, polymère, etc.) selon l'usage ;
- apport des nouvelles technologies sur la conservation ou le maintien du niveau de robustesse et de sécurité des SoC ;
- impact des technologies utilisées sur la qualité des décisions dans les architectures neuro-morphiques.

L'axe Technologies du futur est transversal aux axes thématiques suivants:

- axe calcul car les technologies du futur ont un impact direct sur les performances des systèmes et leur efficacité énergétique. Elles permettent d'améliorer les blocs de base des systèmes et de redéfinir leur organisation (convergence calcul/mémoire par exemple).
- axe systèmes cyber-physique (qui porte sur les systèmes à l'intérieur des puces) car l'hétérogénéité des puces provient directement des technologies du futur choisies. L'axe technologies du futur se distingue de l'axe systèmes cyber-physique de par sa vision centrée sur les aspects liés à la fabrication et à la mise en œuvre de chaque bloc utilisé dans un SoC, tandis que l'axe systèmes cyber-physique est centré sur la composition des blocs utilisés dans un SoC et sur leurs interactions.
- axe sécurité car les technologies de futur peuvent offrir de nouvelles opportunités pour sécuriser les systèmes et, en même temps, sont la source de nouvelles difficultés car elles pourraient remettre en cause les solutions existantes (par exemple, la réalisation d'un

ordinateur quantique offrirait une puissance de calcul suffisante pour rendre immédiatement obsolète la plupart des algorithmes actuels de cryptographie).

Il est également étroitement lié aux autres axes transversaux :

- axe Objets Connectés car les technologies choisies pour la réalisation des SoC ont un impact direct sur leur déploiement et donc leur utilisation (vêtement intelligents, bâtiment intelligent, etc.). Il y a donc un lien fort avec la notion d'usage dans les SHS.
- axe Méthodologies "modèle, simulation, exploration" pour permettre l'étude des performances (e.g. efficacité énergétique, débit, robustesse) des nouvelles technologies aux niveaux circuit et système.

L'axe Technologies du futur s'inscrit naturellement dans le défi 7 de la SNR, sans exclure des défis secondaires tels que la sécurité et la transition énergétique.

Prospective horizon 2025 et verrous

La fin annoncée de la loi de Moore avec la technologie CMOS (7nm attendue pour 2021) bouleversera incontestablement l'ensemble des solutions aujourd'hui déployées pour la réalisation des SoC. Ces bouleversements nécessiteront de nouvelles méthodes de conceptions (axe méthodologies), engendreront de nouveaux besoins en co-simulations multi-physiques (axe systèmes cyber-physique), impacteront les paradigmes de calcul existants (axe calcul) et remettront en cause des solutions existantes pour sécuriser les systèmes (axe sécurité).

Le premier verrou porte sur les difficultés de la prise en compte des spécificités des technologies utilisées pour la définition de ces nouvelles solutions, et qui dépend fortement du degré de maturité des technologies. L'une des principales difficultés de ce travail d'anticipation repose sur les nombreuses incertitudes introduites par ces technologies (fabrication, coût économiques, performances, durée de vie, etc.).

Par ailleurs, les besoins en performances de calcul et en efficacité énergétiques ne cessent de croître avec l'avènement des objets connectés et du big data, avec le domaine émergent du Green Computing. Jusqu'à présent, les approches conventionnelles reposent principalement sur l'utilisation de la technologie CMOS déployée au sein d'architectures de calcul multiprocesseurs ou à grain fin (FPGA). Cette direction atteint ses limites alors que les besoins en efficacité énergétique et en performances continueront de croître. Le premier verrou technologique porte donc sur le mur d'énergie vers lequel nous nous dirigeons: à l'horizon 2020-2025 le calcul exascale nécessitera d'atteindre une puissance de calcul de l'ordre de 50 GFLOPS/Watt, ce qui correspond à environ 20 fois les performances des systèmes actuels. A plus long terme, une réduction de deux ordres de grandeur de l'énergie consommée (voire plus) pourrait être nécessaire sur les opérations portant sur des données entières, ce qui devra aboutir au Giga-MAC/s/nWatt (MAC = multiply and accumulate operations).

De plus, s'agissant des communications du futur, l'intégration des entités communicantes dans les futures infrastructures et services d'Internet nécessite une connaissance approfondie de leurs supports technologiques mobiles, fixes, IP et Optiques. En particulier, dans le contexte actuel des innovations attendues à l'horizon 2020-2025 pour mettre au point les futurs standards "au de-là de la 5G". Les technologies-clés pour mettre en œuvre ces futurs standards constituent un verrou technologique identifié dont la caractéristique majeure est la convergence des technologies électroniques et optiques pour permettre la propagation en espace libre des communications

optiques. Ces technologies, aux frontières de l'électronique et de l'optique sont les technologies de communications THz. La connaissance approfondie de leurs des caractéristiques (puissance d'émission et réception, forme d'onde, format de modulation, ...) permettra d'extrapoler les performances à celles des futurs réseaux locaux (1km maximum à 100 Gb/s) et ainsi de servir efficacement leur connections avec les OCCs.

Le dernier verrou porte donc sur les contraintes importantes liées au rendement de fabrication, à la fiabilité et au vieillissement des nouveaux dispositifs. Il sera de plus en plus nécessaire de proposer des architectures et des systèmes aptes à tolérer soit des erreurs soit une non-stabilité des paramètres électrique ou physique de ces nouvelles technologies. Cela amènera forcément une réflexion sur le lien entre technologies et architecture, et d'orienter des réflexions autour de paradigmes de calcul du type stochastique ou approximatif.

Acteurs académiques français (liste non-exhaustive par ordre alphabétique)

C2N, IEMN, IES, IETR, IM2NP, IMS, INL, LAAS, LIRMM, TIMA

Groupes de travail proposés et actions d'animation

GT architectures et paradigmes neuro-bio inspirés

GT communication opto-electronique (systèmes communication THz, intégration sur silicium)

GT mémoires émergentes

Axe transversal: Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes

Responsable

Kevin Martin, Lab-STICC / Université de Bretagne-Sud, kevin.martin@univ-ubs.fr

Responsable(s) adjoint(s)

Maxime Pelcat, IETR, Institut Pascal / INSA Rennes, mpelcat@insa-rennes.fr

Mots clés

Conception Assistée par Ordinateur, Electronic Design Automation, Electronic System Level

Animateurs

TBD

Description de l'axe et positionnement

La complexité des systèmes électroniques atteint des sommets avec des centaines de processeurs et des dizaines de milliards de transistors sur une seule puce. De tout temps des méthodes, algorithmes et outils ont été nécessaires pour le développement des circuits et systèmes, mais l'échelle de complexité dont il est aujourd'hui question requiert de nouvelles approches. De la conception à la vérification, en passant par la simulation et l'évaluation, les méthodes au niveau système, ESL (Electronic System Level), et leurs outils informatiques associés permettent un gain de productivité. La spécialisation des composants numériques et analogiques a entraîné une large diversification des composants. La conception basée sur les modèles est un exemple de méthode qui aide le travail de conception en proposant un plus haut niveau d'abstraction tout en prenant en compte l'hétérogénéité des composants utilisés (GPP, FPGA, DSP, GPU) ainsi que les contraintes de conception. Les méthodes agiles, déjà largement répandues dans le monde logiciel, peuvent être étendues pour une approche de conception globale du système. Spécifier complètement et à l'avance une solution hétérogène matérielle/logicielle et numérique/analogique est illusoire. La spécification exécutable est une méthode de spécification d'un produit pour lequel un modèle comportemental peut être simulé, émulé ou exécuté. Chaque cas d'utilisation fait l'objet d'une génération automatique de tests permettant une vérification fonctionnelle. Cette approche permet de faire du partitionnement logiciel/matériel, du déploiement d'application logicielle, de l'optimisation d'architecture, de l'optimisation énergétique, ou des vérifications temporelles avant de disposer d'une réalisation matérielle complète et définitive sur laquelle devra s'exécuter le logiciel embarqué. Une méthode de conception doit être accompagnée des outils de CAO (Conception Assistée par Ordinateur) et l'automatisation de certaines tâches est la clé du gain en productivité.

L'automatisation des méthodes a permis de concevoir plus rapidement et de manière plus sûre des systèmes électroniques complexes, allant de l'objet connecté aux serveurs informatiques, tout en maîtrisant les coûts de conception, grâce notamment aux coûts d'ingénierie non-récurrente. Une approche holistique de la conception, grâce à des méthodes intégrant l'ensemble des contraintes et des objectifs, permet d'optimiser un système dans sa globalité.

L'axe "méthodologies" du GdR SOC² consiste en l'étude des méthodes et des outils de conception, de simulation, d'évaluation et de vérification des systèmes électroniques, numériques et/ou analogiques. Cet axe concerne le calcul embarqué haute performance, les systèmes cyberphysiques, et la sécurité et l'intégrité des systèmes. Il interagit avec les axes thématiques du GdR SoC et en constitue donc un axe transverse.

La stratégie de recherche à l'horizon 2020 définit des défis sociétaux dont plusieurs sont impactés par les avancées en méthodologies de conception des systèmes, notamment :

- Défi 3: Le renouveau industriel
- Défi 4: Santé et bien-être
- Défi 6: Transports et systèmes urbains durables
- Défi 7: Société de l'information et de la communication
- Défi 9: Une ambition spatiale pour l'Europe

Exemple d'appels européens focalisés sur les méthodologies :

- ICT-01-2016: Smart Cyber-Physical Systems
- ICT-05-2017: Customised and low energy computing
- ICT-31-2017: Micro and Nanoelectronics technologies
- H2020-IOT-2016-2017

Prospective horizon 2025 et verrous

La fin annoncée de la loi de Moore entraîne avec elle un contexte technologique qui perdurait depuis une cinquantaine d'années. Les dix prochaines années verront une période de transition entre la fin de la loi de Moore et des compléments alternatifs crédibles qui vont gagner en maturité, comme le 3D stacking par exemple. Cette fin annoncée pour les années 2020 ne laisse pourtant présager aucun répit. Pour la recherche, la diminution de la finesse de gravure des transistors s'accompagne d'une variabilité des processus de fabrication et amène de nouvelles contraintes lors de la conception. Les problèmes de fiabilité, de résilience et de tolérance aux fautes, auparavant impactant les domaines d'applications comme l'aéronautique, le nucléaire et le spatial, vont s'inviter pour les produits grand public comme l'automobile. Pour l'industrie des semi-conducteurs, les technologies d'aujourd'hui resteront des produits rentables. Le chiffre d'affaire de TSMC en 2015 est constitué pour moitié de technologies 40 nm et plus, c'est-à-dire des technologies de 10 ans d'ancienneté. La fin de la loi de Moore ne signifie pas encore la fin de la technologie CMOS mais d'autres technologies encore à l'étude prendront la relève (cf. axe technologies du futur du GdR). Sans être entièrement remises en cause, les méthodes actuelles doivent être revisitées pour intégrer des nouvelles contraintes (fiabilité, sécurité, consommation). En outre, l'intégration de plusieurs composants unitaires pour réaliser un système complet est souvent laissée à l'expertise de l'ingénieur et réalisée manuellement. L'automatisation de l'intégration et de l'interfaçage des composants, avec les tests et vérifications automatiques devient un réel besoin.

Dès 2020, la performance des systèmes ne viendra plus simplement d'un plus grand nombre de ressources mais d'une meilleure utilisation de celles-ci, de la spécialisation des composants entraînant encore une plus grande hétérogénéité, ou encore de nouveaux paradigmes de calculs comme le calcul en mémoire ou le calcul approximé. Ces techniques nécessitent des méthodes et des outils pour leur mise en œuvre. L'augmentation du niveau d'abstraction et l'unification de la représentation des composants logiciels et matériels du système vont permettre de concevoir et programmer plus facilement des systèmes numériques. Enfin, la maîtrise de la consommation d'énergie des circuits est un enjeu majeur des prochaines années. Les méthodes et outils permettant la gestion de la consommation d'un système dans sa globalité sont encore à perfectionner.

La performance énergétique est devenue le facteur clef des systèmes numériques. Les contraintes énergétiques déterminent les architectures de calcul haute performance où la consommation est strictement limitée, pour des raisons économiques, à quelques mW. Les objets connectés doivent, quant à eux, garantir un fonctionnement sur accumulateur durant des années voire des décennies.

Dans ce contexte, un gain d'un facteur 10 en énergie par opération est souhaitable au niveau système dans la prochaine décennie pour l'ensemble des systèmes numériques.

Le nombre de cœurs dans les systèmes augmentant de façon exponentielle, un gain en productivité d'un facteur 10 est également nécessaire à l'horizon 2030 pour garantir la faisabilité des systèmes. Ce gain devra se traduire dans la conception/production de systèmes avec dix fois plus de fonctionnalités pour les mêmes coûts non récurrents de conception.

La programmation des systèmes fortement parallèles est aujourd'hui beaucoup plus complexe que la programmation des systèmes séquentiels. Pouvoir programmer un système parallèle aussi facilement et naturellement qu'un système séquentiel est un objectif qualitatif important pour le futur de la conception assistée par ordinateur. Cette évolution devra concerner tous les types de calculateurs intégrant des calculs sur Cloud, des GPP, des FPGA, des GPU, des DSP, etc. et aura pour but de rendre accessible l'utilisation de ces systèmes à un large public de programmeurs.

- Approche holistique analogue/numérique/logiciel, modélisation et simulation multi-physique

Les systèmes intégrés sont également hétérogènes dans le sens où ils font communiquer sur un même substrat silicium des composants miniatures issus de plusieurs domaines physiques, par exemple, l'électricité, l'optique, la thermique, la mécanique, la chimie ou la biologie. Ils reposent sur l'intégration de composants décrits au moyen de plusieurs disciplines scientifiques. Ces disciplines sont souvent représentées dans des domaines temporels différents, par exemple, le domaine des événements discrets, celui du temps discret, ou celui du temps continu. Face à cette situation, les concepteurs ont besoin d'outils de modélisation et de simulation efficaces pour décrire le comportement d'un système hétérogène dans un environnement de simulation unique.

La possibilité de modéliser, de simuler et de synchroniser les systèmes multi-disciplines dans le même environnement doit être examinée pour concevoir les différents sous-systèmes de manière concertée et optimisée.

- Modélisation en vue de la tolérance aux fautes et de la résilience

Le domaine de la conception de systèmes est confronté à de nouveaux défis, liés notamment à la fin annoncée de la Loi de Moore (fin de la réduction de la taille des transistors) et du Dennard scaling (fin de la réduction de la densité de puissance des transistors). Ces nouveaux défis suivent de près le *power wall* qui a limité, à partir de 2004, la fréquence des processeurs à quelques GHz.

Ce contexte stimule la recherche sur les méthodes de conception car, plus que dans les technologies, c'est dans l'amélioration des méthodes de conception que sont attendus les prochains gains en performance (vitesse, consommation, coût) des systèmes. De nouveaux domaines, tel que le calcul approximé, naissent de cette attente.

La conception de systèmes combine de nombreux outils, développés et améliorés durant des décennies. L'adoption de nouvelles méthodes dans ce cadre est possible - cf le récent succès de LLVM (Low Level Virtual Machine) et l'adoption progressive de méthodes de HLS (High Level Synthesis) - mais nécessite des efforts d'adaptation aux méthodes existantes ainsi qu'une approche incrémentale pour réellement impacter l'industrie.

Les processus de fabrication des transistors connaissent, avec la diminution de la taille de gravure, une augmentation significative de la variabilité (variations des caractéristiques des transistors en termes de longueur, largeur, épaisseur d'oxyde ...). Ces variations doivent être prise en compte

dans les méthodes de conception afin d'obtenir des systèmes fiables. Ceci constitue un nouveau défi pour les méthodes de conception.

Le *power wall* provoque une augmentation significative du nombre des éléments de calcul instanciés dans les systèmes, qui se comptent aujourd'hui par centaines. La programmation de ces systèmes reste aujourd'hui largement plus complexe et coûteuse que la programmation des systèmes séquentiels. Il revient aux nouvelles méthodes de conception de réduire ces efforts.

La complexité des systèmes a considérablement augmenté au cours des dernières années, ainsi que leur hétérogénéité. On trouve aujourd'hui des systèmes sur puce combinant FPGA, GPP, GPU et microcontrôleur par exemple. Cette complexité augmente naturellement les coûts de conception et de programmation (*Non-recurring engineering cost* (NRE)). L'un des rôles des méthodes de conception est de réduire ce coût pour une qualité de système donnée, c'est à dire d'augmenter la productivité de conception (*Design Productivity* (DP)).

Les méthodes de conception sont fortement dépendantes des performances et contraintes des technologies de conception électronique. Elles vont donc devoir s'adapter rapidement à de nouvelles technologies telles que:

- l'empilement 3D qui consiste à combiner plusieurs couches de silicium pour constituer un système. Les techniques d'optimisation doivent être adaptées à ce nouvel environnement,
- Les nouvelles technologies de mémoire (MRAM, PCRAM, OxRAM...),
- Les nouvelles technologies de communication sur puce telle que la photonique sur silicium,
- Les many-coeurs et les systèmes sur puce fortement hétérogènes et de plus soumis au *dark silicon*, i.e. pour lesquels la totalité du système ne peut pas être alimenté de façon continue,
- De nouveaux paradigmes matériels de calcul (quantique, asynchrone, stochastique, approximé...).

Chacune de ces nouvelles technologies apporte de nouveaux challenges pour les méthodes de conception.

Les méthodes de conception actuelles ne permettent pas de simuler, de tester et d'optimiser les systèmes à plusieurs milliers de cœurs hétérogènes prédits à l'horizon de quelques années par l'ITRS. Avec l'augmentation du nombre d'éléments de calcul sur puce, de nouvelles méthodes, basées sur des modèles fonctionnels et non fonctionnels des algorithmes et des architectures, sont nécessaires afin d'augmenter la prédictibilité des spécifications et de garder une productivité de conception viable. Le domaine des systèmes cyber-physiques offre un cadre pour de telles recherches, prenant en compte l'optimisation du système dans son environnement physique.

Sans couvrir la totalité des domaines de recherche potentiels, quelques axes porteurs de recherche méthodologique sont :

Les méthodes hors-ligne :

- La convergence matérielle-logicielle et l'intégration multi-physique incluant :
 - une nouvelle génération de HLS incluant le monitoring, la sécurité, et l'intégration dans un environnement physique,
 - la virtualisation des ressources matérielles (FPGA overlay, réseau sur puce, etc),
- La simulation holistique des systèmes distribués hétérogènes à large échelle
- La sûreté de fonctionnement, notamment :
 - en termes de temps réel
 - par la garantie formelle des résultats

- La conception basée modèles des systèmes grâce à laquelle l'optimisation peut se faire autant sur des critères fonctionnels que sur des critères non fonctionnels (énergie, temps...)
- Les calculs et systèmes approximatifs
- Le déploiement automatisé d'applications sur manycores, notamment par le support optimisé d'APIs standard telles que OpenCL, OpenMP, CUDA...

Les méthodes précédemment décrites trouvent leur application à la fois durant la phase de conception et durant l'exécution. A l'exécution, elles s'inscrivent dans des systèmes d'exploitation offrant des services innovants notamment :

- pour la sécurité,
- pour le parallélisme, y compris sur manycore,
- pour la virtualisation,
- pour l'hétérogénéité

Acteurs académiques français (liste non-exhaustive par ordre alphabétique)

CITI, CRISTAL, ENSTA ParisTech, IETR, INL, INRIA Paris, Institut Pascal, IRISA/INRIA Rennes, IRIT, Lab-STICC, LAMIH, LIAS, LIGM, LIP, LIP6, LIRMM, LS2N, LTCI, TIMA, Verimag

Groupes de travail proposés et actions d'animation

L'axe "méthodologie" étant un axe transverse du GdR, en interaction avec les trois axes thématiques, il convient de prévoir un groupe de travail par recoupement :

- Groupe de Travail "Méthodes pour le calcul haute performance embarqué"
 - Maxime Pelcat
- Groupe de Travail "Méthodes pour les systèmes cyber physiques"
 - Marie-Minerve Louerat
- Groupe de Travail "Méthodes pour la sécurité"
 - Kevin Martin

Pour soutenir les enjeux majeurs de la prochaine décennie, mis en avant dans les axes thématiques, trois groupes de travail dédiés sont proposés.

Le premier groupe de travail se concentrera sur les méthodes pour l'estimation, notamment de performance énergétique et temps d'exécution, en lien avec la sûreté et la vérification.

Le deuxième groupe s'intéressera aux méthodes multi-physiques, incluant des systèmes mêlant électronique analogique, capteurs, batterie et transmission, et systèmes numériques pour le traitement. Un troisième groupe de travail se consacrera aux méthodes en-ligne, en particulier sur les aspects virtualisation, compilation juste à temps, ordonnancement, déploiement d'applications à la volée et gestion dynamique des ressources.

b. Instruments d'animation

Journées thématiques

Les GTs du GdR organisent des journées thématiques, qui peuvent consister en exposés, présentations invitées, ou débats sur un thème.

Le processus de programmation des Journées Thématiques est le suivant :

- l'animateur d'un axe propose au Comité d'animation un programme pour une journée thématique sur un sujet particulier. Pour des thèmes transversaux, une JT peut être organisée conjointement par plusieurs GT, ainsi que par des GTs appartenant à plusieurs GdRs
- le Comité d'animation valide (ou non) les propositions de Journées Thématiques après présentation et discussion lors des réunions pour finaliser la programmation des journées du semestre suivant

Lorsque la programmation est finalisée, la journée est annoncée via les moyens de communication du GdR. Les personnes intéressées s'inscrivent auprès de l'animateur et assistent à la journée. Après la journée, l'animateur en rédige un compte-rendu, qui indique en particulier le nombre de participants, et qui est archivé avec les présentations ou travaux effectués.

Des journées thématiques sont organisées en partenariat avec d'autres GDR.

Enfin, des propositions pourront émaner directement de la communauté pour l'organisation de journées sur des thèmes particuliers. Dans ce cas, l'animateur de la thématique la plus proche sera co-organisateur et facilitateur.

Barcamps

Les GTs peuvent aussi organiser différentes formes de "remue-méninges" (brain-storming) collectifs, ou des barcamps thématiques. Le processus de programmation est le même que pour les Journées Thématiques. Des barcamps stratégiques peuvent être organisés à l'initiative du Comité stratégique.

Événements de courtage ("brokerage")

En collaboration avec les pôles de compétitivité et autres organismes intéressés, le GdR organisera des événements de brainstorming / rencontres scientifiques en amont des appels à projet. L'objectif est de stimuler le montage de projets en proposant des journées permettant de présenter des idées de projet, des projets en cours de montage, des appels à partenaires. Une attention particulière sera donnée aux propositions ERC. La participation à ces événements fera partie de l'offre du Club des partenaires et permettra également de prendre en compte les besoins industriels.

Etude de veille ou d'émergence

Des séquences de journées thématiques portant sur un sujet scientifique prospectif pourront être organisées. Ce schéma d'animation est adapté à une étude de veille sur un sujet spécifique, ou à faire émerger un sujet collaboratif, et pourra être utilisé par chaque GT. Le Comité stratégique l'utilisera également pour mener une politique d'animation "top-down" en mettant en place un "thème de l'année" pour le GdR. Il s'agira de sujets prospectifs, exploratoires et rassemblant plusieurs acteurs des différents axes (ex. objets connectés, nouveaux paradigmes de calcul, quantique, deep learning, e-santé ...)

Colloque national annuel

En tant que structure d'animation de la communauté, le GdR lui donne l'opportunité se rencontrer dans son ensemble pendant le Colloque National. Ce colloque se déroule tous les ans au mois de juin sur trois jours dans des locaux mis à disposition par un établissement tutelle du laboratoire organisateur.

Il est composé de sessions plénières scientifiques avec des orateurs invités de marque, des sessions posters pour favoriser la participation des doctorants. Une assemblée générale permet de présenter le bilan de l'année, les résultats des barcamps, la synthèse du thème de l'année, l'avancement des chantiers. Une session d'intérêt général peut se consacrer aux informations sur les instances (CNU, CoNRS) ou aux discussions portant sur les stratégies nationales et européennes de la recherche.

Ce rassemblement permet bien évidemment des échanges sur les plans scientifique et institutionnel et stimule entre autres l'implication des membres du GdR dans l'organisation de manifestations scientifiques à l'échelle internationale, ainsi que dans les instances aux échelles nationale (CoNRS, CNU, ANR ...) et internationale (URSI, IFIP ...).

Des présentations, sous forme de posters, sont réalisées par les doctorants de la communauté. Outre la présentation des dernières avancées, cet évènement permet aussi de faire réaliser une première présentation aux doctorants.

Soutien aux écoles thématiques

Le GdR soutient financièrement (dans la limite de son budget de fonctionnement) un nombre limité d'Ecole thématiques chaque année, dont le montage financier n'inclut pas de soutien CNRS par ailleurs. Seules les écoles thématiques se déroulant en France et dont le comité d'organisation inclut un membre du GdR sont éligibles au soutien. Le soutien est soumis au vote au Comité stratégique et se base sur l'intérêt de l'Ecole thématique pour les membres du GdR.

4. Missions transversales

a. Communication

La communication de l'information joue naturellement un rôle central au sein du GdR. Elle peut être externe, pour donner des informations sur le GdR vers l'extérieur, ou interne, entre les membres du GdR. Cette communication interne peut être descendante, lorsqu'il s'agit de diffuser des informations à l'ensemble de la communauté, ou ascendante, lorsque un membre de la communauté souhaite faire remonter une information à diffuser ou une demande. Au-delà, des services de partage d'information et de documents pourraient soutenir les activités des GTs.

Site web

Le site web est le principal support de communication externe et interne. Le nouveau site web du GdR est opérationnel depuis mi-2016, <http://gdr-soc.cnrs.fr>. Outre l'affichage d'informations comme le contenu scientifique du GdR et les annonces de journées thématiques, il comprend une interface pour s'inscrire au GdR. Le site web est géré par Bertrand Granado (LIP6). De nouveaux services sont en cours d'intégration, comme l'inscription aux journées, l'accès aux listes de diffusion, la cartographie, ...



30

Laboratoires

140

Chercheurs

1400

Inscrits

Liste de diffusion

Une liste de diffusion, dont les membres des comités d'animation et stratégique sont émetteurs, sert à envoyer aux membres du GdR, par courrier électronique, des informations sur les activités proposées par le GdR : journées thématiques, colloque, écoles thématiques, ...

Bulletin hebdomadaire

Le site web et la liste de diffusion soutiennent la communication descendante du GdR vers ces membres. Réciproquement, les membres du GdR peuvent porter des informations sur la vie de la communauté à la connaissance des autres membres du GdR : appels à contribution à des revues du domaine, appels à communication et à participation à des conférences et workshops, séminaires, soutenance de thèse, offres de thèses et de post-docs ... Ainsi le site permet aux membres de déposer des annonces qui sont ensuite collectées et réunies par Patrick Girard (LIRMM) dans un Bulletin envoyé chaque semaine par courrier électronique aux membres du GdR. Ce moyen de diffusion permet d'informer la communauté tout en limitant le flux de mails envoyé aux membres.

Réseaux sociaux

Un groupe LinkedIn a aussi été créé par Ian O'Connor (INL) pour une expérimentation de cette voie de communication par les membres du comité stratégique. Le groupe sera ouvert au reste du GdR en 2017.

Autres moyens de communication

D'autres moyens de communication comme les Flux RSS, les espaces collaboratifs, pourraient compléter les moyens cités précédemment.

b. Classement des publications

Le GdR tient à jour une identification des journaux et conférences du domaine, ainsi que de leur importance pour la communauté, leur qualité et leur impact. Ce bilan a un double rôle : clarifier aux instances externes à la communauté l'importance et la qualité relatives des différents canaux de dissémination scientifique du domaine d'une part ; et orienter la valorisation scientifique des membres du GdR vers les journaux et conférences de qualité. Olivier Sentieys (IRISA) et Patrick Girard (LIRMM) sont chargés de maintenir la liste du classement à jour (mise à jour tous les 2 ans) pour refléter l'évolution du domaine et de la communauté. L'intégration des publications de la communauté de l'ex-GdR ASR a fait notamment l'objet d'une mise à jour importante en fin de

période quadriennale. La dernière version du document Classement des Publications est donnée en annexe.

c. Relations internationales

Le GdR se doit d'intégrer une articulation avec la recherche à l'échelle européenne voire internationale. D'une part, les échanges internationaux enrichissent naturellement les travaux scientifiques du GdR. D'autre part, l'évolution des politiques de financement de la recherche conduit à orienter les équipes vers l'Europe.

Un chantier sera mis en place dès 2017, mené par Cristell Maneux (IMS) et Michel Renovell (LIRMM).

Dans un premier temps, les actions focaliseront sur l'aide au montage de projets européens et pourront se concrétiser par une session au Colloque National de retour d'expérience de porteurs de projets européens suivie d'une journée spécifique avec invitation de PO européen. Une cartographie au sein du GdR sera menée pour identifier les équipes membres du GdR qui participent régulièrement au niveau européen, les candidats potentiels à une ERC et les interlocuteurs au niveau de la commission européenne.

Une deuxième étape visera un rapprochement avec les collègues à l'échelle européenne pour mettre en place tout d'abord un réseau informel, puis pour monter des actions formelles de type COST.

Pour l'ensemble de ces actions, le GdR se rapprochera des responsables au sein des Instituts INSIS et INS2I pour travailler en complément et le plus efficacement possible.

d. Partenariats du GdR

Le GdR est lié formellement ou informellement à de nombreux partenaires, dont les principaux sont les laboratoires et les industriels. Pendant la période quadriennale 2018-2021, le GdR visera à asseoir les relations institutionnelles avec les instances d'une part (Instituts CNRS, MENRT, CES ANR, CNU, CoNRS ...), et avec les autres acteurs scientifiques du domaine, les pôles de compétitivité et les Instituts de Recherche Technologies d'autre part.

Référents laboratoires

Un correspondant du GdR dans chaque laboratoire rattaché au GdR assure la liaison entre le laboratoire rattaché et le GdR SOC². Les noms des référents sont donnés en section 5 (Membres du GdR).

GdRs connexes

Le GdR entretient des relations informelles avec les GdRs connexes à ses thématiques au sein des Instituts INSIS et INS2I. Pour chaque GdR connexe, le GdR mandate une personne pour assurer la coordination des actions communes.

Nom du GdR connexe	Référent GdR SOC ²	Laboratoire
ISIS (Information, Signal, Image et Vision)	Christophe Jegou	IMS
SEEDS (Systèmes d'Energie Electrique dans leurs Dimensions Sociétales)	Ian O'Connor	INL
Ondes	Nathalie Deltimple	IMS
MACS (Modélisation, Analyse et Conduite des Systèmes dynamiques)	Sébastien Pillement	IETR
Sécurité Informatique	Marie-Lise Flottes	LIRMM
BioComp (Implémentations matérielles du calcul naturel)	Ian O'Connor	INL
GPL (Génie de la Programmation et du Logiciel)	Florian Brandner	LTCI

RSD (Réseaux et Systèmes Distribués)	Olivier Sentieys Laurent George	IRISA LIGM
RO (Recherche Opérationnelle)	Yann Kieffer Lilia Zaourar	LCIS CEA
Robotique	Patrick Girard	LIRMM
Homme augmenté	Olivier Romain	ETIS

Organismes

Le GdR entretient des relations informelles avec des organismes ayant des actions dans le domaine SOC² sur le plan national (pôles de compétitivité, instituts de recherche technologique, ...). Pour chaque organisme, le GdR mandate une personne pour favoriser le montage d'actions communes.

Pôles de compétitivité	Référent GdR SOC ²	Laboratoire
Aerospace Valley	Cristell Maneux	IMS
Cap Digital	Amara Amara	LISITE
Images & Réseaux	Sébastien Pillement	IETR
Minalogic	Ian O'Connor	INL
Solutions Communicantes Sécurisées	Lionel Torres	LIRMM
Systematic	Cristell Maneux	IMS
ID4car	Sébastien Pillement	IETR
Instituts de Recherche Technologique	Référent GdR SOC ²	Laboratoire
IRT Jules Verne	Sébastien Pillement	IETR
IRT Nanoélectronique	Frédéric Petrot	TIMA
IRT St Exupéry	Philippe Coussy	Lab-STICC
IRT B'COM	Philippe Coussy	Lab-STICC
Autres organismes	Référent GdR SOC ²	Laboratoire
CEA-LETI	Ian O'Connor	INL
CEA-LIST	Patrick Girard	LIRMM
CMP	Ian O'Connor	INL
CNFM	Luc Hébrard	ICube
Embedded France	Ian O'Connor	INL

Instances

Le GdR s'implique dans des organismes institutionnels sur le plan national (CNRS, MENRT, ANR ...). Pour chaque instance, le GdR identifie une personne impliquée pour relayer les informations des instances vers les membres du GdR et pour faire remonter les informations du GdR.

CNRS	Référent GdR SOC ²	Laboratoire
INS2I	Patrick Girard	LIRMM
INSIS	Ian O'Connor	INL
CoNRS section 7	Patrick Girard	LIRMM
CoNRS section 8	Cristell Maneux	IMS
MENRT	Référent GdR SOC ²	Laboratoire
CNU 27	Frédéric Petrot	TIMA
CNU 61	Sébastien Pillement	IETR
CNU 63	Ian O'Connor	INL
ANR	Référent GdR SOC ²	Laboratoire
CES Cybersécurité	Lilian Bossuet	LAHC
CES HPC, logiciel embarqué ...	Gilles Sassatelli	LIRMM
CES Micronano	Philippe Coussy	Lab-STICC

5. Membres du GdR

a. Unités de recherche

Le GdR SoC² regroupe 45 laboratoires en France, principalement des UMR CNRS.



Ampère

Référent : Christian Martin (christian.martin@univ-lyon1.fr)
 Adresse : 20 avenue Albert Einstein, Villeurbanne
 Site : www.ampere-lab.fr

C2N - Centre de Nanosciences et de Nanotechnologies

Référent : Jacques Olivier Klein (Jacques-Olivier.Klein@u-psud.fr)
 Adresse : rue André Ampère, Orsay
 Site : www.c2n.universite-paris-saclay.fr

CEDRIC - Centre d'études et de recherche en informatique du CNAM

Référent : Samuel Garcia (samuel.garcia@cnam.fr)
 Adresse : 2 rue Conté, Paris
 Site : cedric.cnam.fr

CITI - Centre of Innovation in Telecommunication and Integration of service

Référent : Guillaume Villemaud (guillaume.villemaud@insa-lyon.fr)
 Adresse : 6 avenue des arts, Villeurbanne
 Site : www.citi-lab.fr

CRISTAL - Centre de Recherche en Informatique, Signal et Automatique de Lille

Référent : Julien Forget (julien.forget@polytech-lille.fr)

Adresse : avenue Carl Gauss, Villeneuve D'Ascq

Site : www.cristal.univ-lille.fr

ESTIA Recherche - Equipe de Recherche de l'ESTIA

Référent : Guillaume Terrasson (g.terrasson@estia.fr)

Adresse : 92 allée Théodore Monod, Bidard

Site : www.estia.fr/recherche/organisation-de-lequipe-de-recherche.html

ESYCOM - Électronique, SYstèmes de Communication & Microsystèmes

Référent : Geneviève Baudoin (genevieve.baudoin@esiee.fr)

Adresse : 5 boulevard Descartes, Champs sur marne

Site : esycom.u-pem.fr

ETIS - Equipes du Traitement des Informations et Systèmes

Référent : Olivier Romain (olivier.romain@ensea.fr)

Adresse : 6 avenue du Ponceau, Cergy-Pontoise

Site : www-etis.ensea.fr

FEMTO-ST - Franche-Comté Electronique, Mécanique, Thermique et Optique - Sciences et Technologies

Référent : Philippe Canalda (philippe.canalda@femto-st.fr)

Adresse : 1, Cours Louis Leprince-Ringuet, Montbéliard

Site : www.femto-st.fr

GeePs - Génie électrique et électronique de Paris

Référent : Pietro Maris (Pietro.Marisferreira@centralesupelec.fr)

Adresse : 11, rue Joliot Curie, Gif sur Yvette

Site : www.lgep.supelec.fr

GIPSA-LAB - Grenoble Images Parole Signal Automatique Laboratoire

Référent : Dominique Houzet (dominique.houzet@gipsa-lab.grenoble-inp.fr)

Adresse : 11 rue des Mathématiques, Saint Martin d'Hères

Site : www.gipsa-lab.grenoble-inp.fr

I3S - Laboratoire d'Informatique, Signaux et Systèmes de Sophia Antipolis

Référent : Sid Touati (Sid.Touati@unice.fr)

Adresse : 2000 Route des Lucioles, Sophia-Antipolis

Site : www.i3s.unice.fr

ICube - Laboratoire des sciences de l'Ingénieur de l'Informatique et de l'Imagerie

Référent : Luc Hébrard (luc.hebrard@unistra.fr)

Adresse : 300 bd Sébastien Brant, Illkirch

Site : icube.unistra.fr

IEMN - Institut d'Électronique, de Microélectronique et de Nanotechnologies
Réfèrent : Antoine Frappé (antoine.frappe@isen.fr)
Adresse : avenue Poincaré, Villeneuve d'Ascq
Site : www.iemn.fr

IETR - Institut d'Electronique et de Télécommunications de Rennes
Réfèrent : Sébastien Pillement (Sebastien.Pillement@univ-nantes.fr)
Adresse : 263 av. Général Leclerc, Rennes
Site : www.ietr.fr

IJL - Institut Jean Lamour
Réfèrent : Hassan Rabah (hassan.rabah@univ-lorraine.fr)
Adresse : rue du jardin botanique, Vandoeuvre les Nancy
Site : ijl.univ-lorraine.fr

IM2NP - Institut Matériaux Microélectronique Nanosciences De Provence
Réfèrent : Hervé Barthélemy (herve.barthelemy@im2np.fr)
Adresse : Avenue Escadrille Normandie Niemen, Marseille
Site : www.im2np.fr

IMS - Institut des Matériaux aux Systèmes
Réfèrent : Cristell Maneux (Cristell.Maneux@ims-bordeaux.fr)
Adresse : 351 Cours de la libération, Talence
Site : www.ims-bordeaux.fr

INL - Institut des Nanotechnologies de Lyon
Réfèrent : Ian O'Connor (ian.oconnor@ec-lyon.fr)
Adresse : 36 avenue Guy de Collongue, Ecully
Site : inl.cnrs.fr

Institut Pascal - Institut Pascal
Réfèrent : François Berry (francois.berry@univ-bpclermont.fr)
Adresse : 4 Impasse Blaise Pascal, Aubière
Site : ip.univ-bpclermont.fr

IRCICA - Institut de recherche sur les composants logiciels et matériels pour l'information et la communication avancée de Lille
Réfèrent : Nathalie Rolland (nathalie.rolland@iemn.univ-lille1.fr)
Adresse : 50 Avenue du Halley, Villeneuve-d'Ascq
Site : www.ircica.univ-lille1.fr

IRISA - Institut de recherche en informatique et systèmes aléatoires
Réfèrent : Olivier Sentieys (olivier.sentieys@irisa.fr)
Adresse : 6 rue de Kerampont, Lannion
Site : team.inria.fr/cairn/

IRIT - Institut de Recherche en Informatique de Toulouse
Référént : Christin Rochange (christine.rochange@irit.fr)
Adresse : 118 Route de Narbonne, Toulouse
Site : www.irit.fr

LAAS - Laboratoire d'analyse et d'architecture des systèmes
Référént : Daniel Dragomirescu (daniela@laas.fr)
Adresse : 7 avenue du Colonel Roche, Toulouse
Site : www.laas.fr

Lab-STICC - Laboratoire des Sciences et Techniques de l'Information, de la Communication et de la Connaissance
Référént : Guy Gogniat (guy.gogniat@univ-ubs.fr)
Adresse : Rue de Saint-Maudé, Lorient
Site : www.labsticc.fr

LAHC - Laboratoire Hubert Curien
Référént : Lilian Bossuet (lilian.bossuet@univ-st-etienne.fr)
Adresse : 18 Rue du Professeur Benoît Lauras, Saint Etienne
Site : laboratoirehubertcurien.fr

LAMIH - Laboratoire d'Automatique, de Mécanique et d'informatique Industrielles et Humaines
Référént : Smail Niar (smail.niar@univ-valenciennes.fr)
Adresse : Val Mont Houy, Famars
Site : www.univ-valenciennes.fr/LAMIH

LCIS - Laboratoire de Conception et d'Intégration des Systèmes
Référént : Vincent Berouille (vincent.berouille@grenoble-inp.fr)
Adresse : 50 rue Barthélémy de Laffemas, Valence
Site : lcis.grenoble-inp.fr/le-laboratoire/

LCOMS - Laboratoire de Conception, Optimisation et Modélisation des Systèmes
Référént : Camel Tanougast (camel.tanougast@univ-lorraine.fr)
Adresse : 7 rue Marconi, Metz
Site : lcoms.univ-lorraine.fr

LE2i - Laboratoire d'Electronique, Informatique et Image
Référént : Dominique Ginhac (dom@le2i.cnrs.fr)
Adresse : allée Alain Savary, Dijon
Site : le2i.cnrs.fr

LEAD - Laboratoire d'Etude de l'Apprentissage et du Développement
Référént : Michel Paindavoine (paindav@u-bourgogne.fr)
Adresse : 11 Esplanade Erasme, Dijon
Site : leadserv.u-bourgogne.fr

LEAT - Laboratoire d'Electronique, Antennes et Télécommunications

Référent : Cécile Belleudy (Cecile.BELLEUDY@unice.fr)

Adresse : 930 route des Colles, Biot

Site : leat.unice.fr

LGIPM - Laboratoire de Génie Industriel, de Production et de Maintenance

Référent : Fabrice Monteiro (fabrice.monteiro@univ-lorraine.fr)

Adresse : Ile du Saulcy, Metz

Site : lgipm.univ-lorraine.fr

LIGM - Laboratoire d'Informatique Gaspard-Monge

Référent : Laurent George (laurent.george@esiee.fr)

Adresse : 5 boulevard Descartes, Champs sur marne

Site : ligm.u-pem.fr

LIP6 - Laboratoire d'Informatique de Paris 6

Référent : Marie Minerve Louerat (Marie-Minerve.Louerat@lip6.fr)

Adresse : 4 place Jussieu, Paris

Site : www.lip6.fr

LIRIS - Laboratoire d'InfoRmatique en Image et Systèmes d'information

Référent : Mohand-Saïd Hacid (mohand-said.hacid@univ-lyon1.fr)

Adresse : 43 bd du 11 novembre 1918, Villeurbanne

Site : liris.cnrs.fr

LIRMM - Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier

Référent : Patrick Girard (girard@lirmm.fr)

Adresse : 161, rue Ada, Montpellier

Site : www.lirmm.fr

LISITE - Laboratoire d'Informatique, Signal, Image, Télécommunication et Électronique

Référent : Amara Amara (amara.amara@isep.fr)

Adresse : 10 rue de Vanves, Issy-les-Moulineaux

Site : lisite.isep.fr

LORIA - Laboratoire Lorrain de Recherche en Informatique et ses Applications

Référent : Ye-Qiong Song (ye-qiong.song@loria.fr)

Adresse : 615 rue du Jardin Botanique, Villers-lès-Nancy

Site : www.loria.fr

LS2N - Laboratoire des Sciences du Numérique de Nantes

Référent : Sébastien Faucou (sebastien.faucou@univ-nantes.fr)

Adresse : 2 chemin de la Houssinière, Nantes

Site : ls2n.fr

LTCI - Laboratoire Traitement et Communication de l'Information
Réfèrent : Patricia Desgreys (patricia.desgreys@telecom-paristech.fr)
Adresse : 46 rue Barrault, Paris
Site : www.ltci.telecom-paristech.fr

Polytech'Lab
Réfèrent : Gilles Jacquemod (Gilles.Jacquemod@polytech.unice.fr)
Adresse : 930 route des Colles, Biot
Site : epoc.unice.fr

SATIE - Systèmes et Applications des Technologies de l'Information et de l'Energie
Réfèrent : Stéphane Serfaty (stephane.serfaty@u-cergy.fr)
Adresse : 61 avenue du Président Wilson, Cachan
Site :

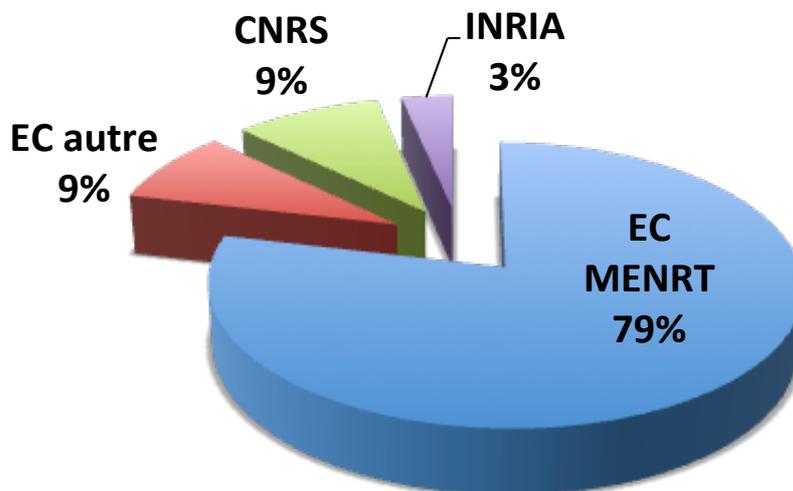
TIMA - Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés
Réfèrent : Frédéric Pétrot (Frederic.Petrot@imag.fr)
Adresse : 46 avenue Félix Viallet, Grenoble
Site : tima.imag.fr

U2IS - Unité d'Informatique et d'Ingénierie des Systèmes
Réfèrent : Omar Hammami (Omar.Hammami@ensta-paristech.fr)
Adresse : 828, Boulevard des Maréchaux, Palaiseau
Site : u2is.ensta-paristech.fr

Verimag
Réfèrent : Claire Maiza (claire.maiza@univ-grenoble-alpes.fr)
Adresse : 700 avenue Centrale, St Martin d'Hères
Site : www-verimag.imag.fr

b. Effectifs

La synthèse des effectifs des laboratoires participants du GdR montre que le GdR comprend environ 600 permanents. Le graphe ci-dessus illustre la répartition des permanents par corps (Enseignants-Chercheurs sections 27, 61, 63 ; et CNRS sections 7, 8).



6. Ressources et moyens

a. Ressources financières

Le GdR SOC² bénéficie d'une dotation annuelle de fonctionnement des Instituts INSIS et INS2I, qui est gérée par INSIS.

b. Ressources humaines

Aucun personnel administratif ou technique n'est affecté au GdR SOC². La gestion des crédits est directement effectuée par la DR2 du CNRS.

Il est nécessaire de trouver une solution pour un soutien administratif à temps partiel, pour la logistique des colloques et barcamps stratégiques, ainsi que des animations scientifiques.

Il est également nécessaire de trouver une solution pour un soutien technique à temps partiel, pour la logistique du site web, de la communication interne et de la cartographie.

c. Ressources propres

Le Club des partenaires pourrait apporter des ressources propres en complément des subventions des instituts INSIS et INS2I.

7. Conclusion

Le GdR SOC², suite du GdR SoC-SiP, remplit son rôle d'animation de la communauté des systèmes sur puce, systèmes embarqués et objets connectés, domaine clé pour la Société de l'Information et de la Communication, depuis dix ans. Le GdR rassemble une communauté large intégrée dans 45 laboratoires : des UMR relevant des instituts CNRS INSIS et INS2I, des équipes d'accueil (EA) et des EPI-INRIA. Des liens forts sont établis avec d'autres EPST et EPIC tels que le CEA, et avec l'industrie.

Sur la période 2013-2016, le GdR a organisé 32 Journées Thématiques et barcamps scientifiques, soutenu 9 écoles thématiques, et a organisé 3 colloques ainsi qu'un barcamp stratégique. Sa structuration thématique a été basée sur 4 axes scientifiques : Architecture des systèmes numériques intégrés, Dispositifs émergents et cyberphysique AMS, Confiance matérielle, Défis sociétaux. L'axe Architecture des systèmes numériques intégrés a notamment accueilli en 2015 les équipes architectures et temps réel du pôle "Architecture" du GdR ASR.

Le projet du GdR 2018-2021 fait évoluer la structuration 2014-2017 pour prendre en compte de nouveaux défis. Le projet propose ainsi une structuration :

- en 3 axes thématiques :
 - calcul embarqué haute performance ;
 - frontières et interfaces cyberphysique ;
 - sécurité et intégrité des systèmes.
- et en 3 axes transversaux :
 - objets connectés ;
 - technologies du futur ;
 - méthodologies.

Les objectifs du GdR, pour le quadriennal 2018-2021 sont nombreux. Il s'agira tout d'abord de renforcer les activités d'animation avec une équipe d'animation renouvelée et de nouveaux instruments. Une attention particulière sera portée sur la participation des doctorants aux actions d'animation et au colloque annuel pour contribuer à leur formation doctorale, à leur appropriation de l'état de l'art et des avancées récentes, et également pour renforcer leur appartenance à la communauté.

Le GdR assurera également la pérennité des actions engagées comme le classement des publications et le lancement du club des partenaires pour concrétiser la forte interaction du GdR avec le monde socio-économique. En interne, les liens de la communauté seront renforcés autour de la mise en place de "thématique de l'année", ainsi que des actions de brainstorming et de réseautage centrées sur les projets scientifiques. Le GdR souhaite se positionner comme un point d'entrée pour le domaine de recherche et renforcera les liens formels avec les organismes, les industriels et les instances connexes (pôles de compétitivité, Instituts de Recherche Technologique, CEA, CMP, CNFM, Embedded France, sections CNU, CoNRS, ANR) avec lesquels nous partageons des problématiques ou outils communs, et veillera à créer et à favoriser les liens avec d'autres disciplines à travers les GdRs connexes.

De plus, le GdR portera des actions de prospective (veille scientifique, expertise auprès des instances, contribution à la stratégie nationale de la recherche, identification des besoins de création de groupes de travail sur des enjeux scientifiques émergents et sur les grands défis sociétaux). Dans cette période quadriennale, le GdR veillera à s'ouvrir aux grands enjeux sociétaux comme la conception verte et les usages, au sens sociologique. Ainsi nous travaillerons à établir des liens directs sur l'impact de nos technologies sur l'environnement et leur acceptabilité par les usagers.

Annexes

GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



Annexe 1 : Programmes des colloques par année

GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



2013 (quadriennal précédent) : Colloque national du GdR SoC-SiP, Lyon

Dates : 10-12 juin 2013

Lieu : Institut des Nanotechnologies de Lyon - CPE Lyon

**COLLOQUE NATIONAL
du GDR SOC-SIP**

10-12 juin 2013

**Institut des Nanotechnologies de Lyon - CPE Lyon
Domaine Scientifique de la Doua, Bâtiment 308
43, boulevard du 11 Novembre 1918
69616 Villeurbanne**



Directeur

Patrick Garda, LIP6

Directeurs adjoints

Patrick Girard, LIRMM

Ian O'Connor, INL

Responsables de groupe thématique

***Logiciels Embarqués et Architectures
Matérielles***

Franck Wajsbürt, LIP6

Adjoint : Philippe Coussy, Lab-STICC

Architectures Reconfigurables

Gilles Sassatelli, LIRMM

Adjoints : Loïc Lagadec, ENSTA

Sébastien Pillement, Univ. Nantes

Méthodes et outils de conception AMS & RF

Patricia Desgreys, Télécom ParisTech

Adjointe : Nathalie Deltimple, IMS-Bordeaux

Test & Tolérance de SOC/SIP

Serge Bernard, LIRMM

Adjoints : Régis Leveugle, TIMA

Mounir Benabdenbi, TIMA

Consommation et Energie dans les SOC/SIP

Nathalie Julien, Lab-STICC

Adjoint : Cécile Belleudy, LEAT

Systèmes hétérogènes

Fabien Mieyeville, INL

Adjointe : Marie-Minerve Louerat, LIP6

Technologies émergentes

Jacques-Olivier Klein, IEF

Adjointe : Cristell Maneux, IMS-Bordeaux

Sécurité numérique

Marie-Lise Flottes, LIRMM

Adjoints : G. Di Natale, LIRMM

Lilian Bossuet, Univ. St Etienne

PROGRAMME

lundi 10 juin

10h-11h : Ouverture

10h – 10h30	Ouverture	P. Garda, P. Girard
10h30 – 10h45	Bienvenue	G. Pignault, Directeur de CPE Lyon
10h45-11h	Organisation du colloque	I. O'Connor

11h-12h : Session Exposé E1

GT Consommation et Energie dans les SOC/SIP (Nathalie Julien, Lab-STICC ; Adjoint : Cécile Belleudy, LEAT)

11h – 12h	HarvWSNET et EnvAdapt : la simulation de réseaux de capteurs au service de la conception RF ultra-faible consommation	Carolyn Bernier, CEA-LETI
-----------	--	---------------------------

Le laboratoire LAIR du CEA-LETI travaille depuis de nombreuses années à l'élaboration d'architectures et de circuits intégrés radiofréquences visant des applications à ultra-faible consommation (e.g. récupération d'énergie). Dans ce cadre, de très nombreuses pistes ont été explorées allant des architectures innovantes aux technologies agressives. Or, bien que ces technologies ont montré leur intérêt dans la réduction de la consommation active, si maintenant l'objectif est de gagner un facteur 10 en consommation, une autre approche s'avère nécessaire. Cette approche est baptisée «Sense & React» et exploite la forte variabilité du canal de propagation pour permettre à la radio d'adapter dynamiquement ses performances (et donc sa consommation) en fonction du SINR instantané. Pour explorer l'intérêt et les limites de cette nouvelle technique, les concepteurs RF se lancent dans la simulation de réseaux.

12h-13h30 : Repas

Restaurant INSA – Le Grillon

13h30-14h30 : Session Keynote K1

13h30-14h30	Efficacité énergétique: le verrou de l'ère post Moore	Alain Cappy, IRCICA
-------------	--	---------------------

L'efficacité énergétique devient le critère essentiel des technologies de traitement de l'information. C'est en effet pour des raisons énergétiques que les règles de changement d'échelle (R. Dennard, 1974) qui ont guidé l'évolution de la micro-nanoélectronique pendant près de 40 ans ne peuvent plus être appliquées aujourd'hui. Les conséquences de ce changement sont multiples : la stagnation de la fréquence d'horloge (2-3 GHz depuis 2004) et la complexité plus grande de l'architecture des processeurs (multicœurs). La médiocre efficacité énergétique des systèmes actuels constitue également un frein au développement des applications mobiles et son impact sur l'environnement (consommation électrique) devient non négligeable.

Il devient donc urgent de proposer de nouveaux paradigmes de traitement de l'information capables de réduire de façon drastique la consommation d'énergie tout en améliorant les performances. Après une présentation des questions scientifiques et technologiques qui se posent, nous proposerons quelques pistes possibles pour le traitement de l'information de l'ère post Moore.

14h30-15h30 : Session Poster P1

GT Logiciels Embarqués et Architectures Matérielles

Hardware architecture of Self-Organizing Maps

Laurent Rodriguez, ETIS

Hardware vision architecture for autonomous navigation

Laurent Fiack, ETIS

A collision management algorithm dedicated to large NoC on multi-FPGA platform

Atef Doraj, Laboratoire Hubert Curien

FlexOE: A Congestion-Aware Routing Algorithm for NoCs

Otávio Alcantara de Lima Junior, Laboratoire Hubert Curien

FlexTiles an heterogeneous MPSoC architecture

Romain Brillu, IETR

A Design Approach to Automatically Generate On-Chip Monitors during High-Level Synthesis of Hardware Accelerators

Mohamed Ben Hammouda, Lab-STICC

Application-Specific Processor Design: a Case-Study on MMSE MIMO equalization

Mostafa RIZK, Telecom Bretagne

YANGO : déploiement optimisé d'algorithmes sur FPGA autour d'un NoC

Matthieu Payet, Laboratoire Hubert Curien

Démapper 8-PSK en coordonnées polaires

Anthony Barre, Lab-STICC

Du paramétrage de la granularité du calcul et de la localité des données des implémentations sur GPU : Expérimentations OpenCL

Emanuel Guével, Université de Bretagne Occidentale

Sous-échantillonneur à ratio arbitraire sur FPGA

Brunel Happi Tietche, ETIS

Etude d'architecture pour l'évaluation d'options américaines

Valentin Mena Morales, ADACSYS

Medical Wavelet Compression Study: MMWaaves

Imen Mhedhbi, LIP6

Simultaneous multithreading support in embedded distributed memory MPSoCs

Rafael Garibotti, LIRMM

GT Sécurité des systèmes embarqués

Multi-Level Laser-Induced Fault Simulation

Feng Lu, LIRMM

Crypto-processeur ECC en RNS sur FPGA avec inversion modulaire rapide

Karim Bigou, IRISA / CAIRN

Modélisation stochastique des générateurs de suites binaires aléatoires: du transistor au bit aléatoire

Patrick Haddad, Laboratoire Hubert Curien

FPGA Emulation of Laser Attacks Against Secure Deep Submicron Integrated Circuits

Athanasios Papadimitriou, LCIS

Identification of Hardware Trojans triggering signals

Sophie Dupuis, LIRMM

15h30-16h30 : Session Exposé E2

GT Architectures Reconfigurables (Gilles Sassatelli, LIRMM ; Adjoints : Loïc Lagadec, ENSTA, Sébastien Pillement, Univ. Nantes)

15h30-16h30

**Les besoins en architectures
reconfigurables pour la radio
intelligente**

Christophe Moy, IETR

L'intervention présentera tout d'abord la radio intelligente et les conséquences que cela implique sur l'architecture des équipements radio. Un point particulier concernera la reconfiguration partielle et dynamique de FPGA, un autre les outils de conception de haut niveau. La présentation s'appuiera sur des exemples de projets et de démonstrateurs réalisés ces dernières années dans le domaine de la radio intelligente.

16h30-17h : Session Industrielle

17h-19h : Réunion de comité de pilotage

Salle du grand conseil

mardi 11 juin

9h-10h : Session Exposé E3

GT Systèmes hétérogènes (Fabien Mieyeville, INL ; Adjointe : Marie-Minerve Louerat, LIP6)

9h – 10h **Design and constraints overview in automotive electrical systems: Fast prototyping for electronics within electrical machines in the vicinity of thermal engines** **Pierre Tisserand, Valeo**

Le marché de l'automobile évolue, bien sûr en fonction de la demande des clients, mais est de plus en plus contraint par les réglementations, notamment celles concernant les rejets de polluants. Pour faire face, les constructeurs développent des stratégies de fonctionnement et une électrification des véhicules. D'une part le véhicule tout électrique commence à émerger, d'autre part les constructeurs proposent une hybridation progressive très importante des moteurs thermiques. Ces évolutions poussent très fortement l'électronique et pour ce faire le "fast prototyping" est un point incontournable pour développer rapidement. Pour étayer cette méthode de travail, nous présentons une étude d'un limiteur de couple implanté sur un régulateur d'alternateur classique, suivra une conclusion.

10h-11h : Session Poster P2

GT Architectures Reconfigurables

Présentation d'une architecture programmable et reconfigurable de manière dynamique pour des problématiques de transfert sans fil

Remy Astier, LTI

Vers un langage spécialisé pour la radio logicielle sur FPGA

Matthieu Gautier, IRISA / INRIA

Efficient dynamic configuration of a multi-ASIP turbo decoder

Vianney Lapotre, Lab-STICC

Evolution d'une chaîne d'outils pour le prototypage d'architectures reconfigurables tolérantes aux fautes

Boutheina Maaloul, Université de Bretagne Occidentale

Methodology for effective placement of variable-size hardware tasks on reconfigurable architecture

Nicolas Marques, Institut Jean Lamour

Durcissement Virtuel de FPGA SRAM par Reconfiguration Dynamique Partielle

Cyril Richard, LTI

A Metadata-based Composition Framework for Dynamic Partially Reconfigurable Systems based on IP-XACT

Gilberto Ochoa-Ruiz, LE2I

FPGA based Encoder SoC for Locally Stationary Image source

Bai Yuhui, ETIS

An Overview: Dynamically Reconfigurable Fault Tolerant FPGA Architecture

Chagun Basha Basheer Ahmed, IETR

Design Space Exploration on Heterogeneous SoC: The H.264 encoder case-study

Mokhtar Bouain, LAMIH / INRIA Lille Nord Europe

Communication Cost Reduction For Hardware Tasks Placed on Homogeneous Reconfigurable Resource

Quang Hai KHUAT, IRISA / INRIA

Partial functionality reconfigurable cells: Interconnect exploration

Kevin Cheng, INL

SECNUM : une plateforme pour étudier et comprendre les phénomènes de vieillissement

Florent Bruguier, LIRMM

GT Technologies émergentes

Réseau de Neurones Impulsionnels avec Synapses Memristives

Gwendal Lecerf, IMS

Reconfigurable parallel logic computation with Optical Look Up Table

Zhen Li, INL

Evaluation of magnetic-memory-based flip-flop components

Raphael Martins Brum, LIRMM

Vers un modèle compact de memristor organique pour les applications neuro-inspirées

Jean-Etienne Lorival, CEA-LEM

Experimental Study of a Bulk-Technology Tri-gates nMOSFET

Inga Zbierska, INL

Thermionic Emission filtering to increase SET operating temperature

K. El Hajjam, INL

11h-12h : Session Exposé E4

GT Méthodes et outils de conception AMS & RF (Patricia Desgreys, Télécom ParisTech ; Adjointe : Nathalie Deltimple, IMS-Bordeaux)

11h – 12h Implantable Telemetry Systems: the State of the Art and Challenges Robert Sobot, Western Univ. Canada

Research and development of implantable RF telemetry systems intended specifically to enable and support cardiac monitoring of genetically engineered small animal subjects, e.g. rabbits, rats and mice, has already gained significant momentum. In this talk, I present the state of the art review of experimental implantable telemetry systems for monitoring vital signals. Considering the body size of these small subjects, a mouse in particular, it becomes obvious that the system design and implementation challenges are great. This conclusion comes from the fact that the main goal of the research is to design a fully implantable system so that the subject is allowed to freely move inside a cage after the operation. Thus, the mouse's small body size sets harsh constraints on the size and power consumption of the required electronics.

Consequently, a significant portion of the research efforts is directed towards the development of low-volume low-power electronics, as well as RF energy harvesting systems that are required to serve as the energy source to the implanted telemetry instead of the relatively bulky batteries. The talk concludes with review of other future possible biomedical applications of implantable micro telemetry systems and their possible implications on humans.

12h-13h30 : Repas

Restaurant INSA – Le Grillon

13h30-14h30 : Session Exposé E5

GT Technologies émergentes (Jacques-Olivier Klein, IEF ; Adjointe : Cristell Maneux, IMS-Bordeaux)

13h30 – 14h30 Mémoires Résistives: De Nouvelles Opportunités de Conception Faible Consommation Jean-Michel Portal, IM2NP

Cette présentation couvrira les nouveaux concepts de conception de circuits basse consommation à base de mémoires prototypes et émergentes, avec notamment les aspects plan mémoire mais aussi mémoires distribuées. Dans un premier temps, les différentes technologies de mémoires non-volatiles seront abordées, au travers des aspects technologique, fonctionnement, performance et modèle. Dans une deuxième partie, nous verrons comment l'introduction de ces nouveaux types de mémoires peut ouvrir de nouveaux horizons pour la conception de circuits basse consommation pour les applications mobiles et en particulier pour la sauvegarde de contexte.

14h30-15h30 : Session Poster P2

GT Consommation et Energie dans les SOC/SIP

Energy and Lifetime Prediction in Large Wireless Sensor Networks

Foudil Mir, Lab-STICC

The detection and localization of hard-failure for Wireless Sensor Node based on online power management

Van-Trinh Hoang, Lab-STICC

Evaluation of the Performance/Energy Overhead in DSP Video Decoding and its Implications

Yahia Benmoussa, Lab-STICC

A GA Based Optimization Framework for the Energy Aware Wireless Sensor Networks

Nanhao Zhu, INL

Toward a Unified Performance and Power Consumption NAND Flash Memory Model of Embedded and Solid State Secondary Storage Systems

Pierre Olivier, Lab-STICC

Un 0.8-11GHz 0.15um pHEMT amplificateur distribué faible bruit basse consommation avec réveil reconfigurable pour les réseaux de communications domestiques

Liang Zhou, ETIS

Modélisation Fonctionnelle de la Consommation d'Energie dans un Nœud Capteur

Aina Randrianarisaina, IETR

Fast Power Aware Verification and Estimation (PAVE) through Multi-FPGA Emulation

Xinyu Li, Synopsys

Energy Monitor for Super Capacitor based Wireless Sensor Networks

Trong Nhan Le, LEAT

Low Power Magnetic Flip-Flop based on checkpointing and Self-Enable Mechanism

Djaafar Chabi, IEF

GT Test & Tolérance de SOC/SIP

Performance Evaluation of Capacitive defects on TAS-MRAMs

Joao Azevedo, LIRMM

Investigating Multiple-Cell-Upsets on a 90nm SRAM

Georgios Tsiligiannis, LIRMM

Réduction des paramètres de sorties des circuits analogiques par l'estimation des métriques de test

Kamel Beznia, Lab-STICC

Estimation des métriques de test analogique à base d'un échantillon multi-varié de circuits extrêmes

Ahcène Bounceur, Lab-STICC

Development of Robust Indirect Testing Method for Analog or RF Integrated Circuits

Larguech Syhem, LIRMM

Boosting The Cache Memory Reliability Through Single Redundancy

Ihsen Alouani, LAMIH

Near Field Communication (NFC) self calibration system

Mouhamadou Dieng, LIRMM

Fault-Effect Propagation Based Intra-cell Scan Chain Diagnosis

Zhenzhou Sun, LIRMM

Cost-Efficient Testing of LUT and Intra-Cluster Interconnect of a Novel SRAM-Based FPGA
Rehman Saifur, TIMA

Backward Error Recovery for SRAM-Based FPGAs
Fouad Sahraoui, ETIS

Diagnostic de circuits combinatoires par réseaux bayésiens
Sara Zermani, Lab-STICC

15h30-16h30 : Session Exposé E6

GT Logiciels Embarqués et Architectures Matérielles (Franck Wajsbürt, LIP6 ; Adjoint : Philippe Coussy, Lab-STICC)

15h30 – 16h30 Les challenges du HPC pour l’Exascale - Jean-Pierre Panziera, Bull
Architecture, composants,
consommation, résilience,
programmation

Les supercalculateurs sont devenus l’outil indispensable des scientifiques et des ingénieurs. Aujourd’hui la performance des plus puissants calculateurs se mesure en PétaFlops (10^{15} instructions flottantes par secondes), mais dans bien des domaines c’est encore très insuffisant pour couvrir les besoins des utilisateurs. L’industrie du HPC (High Performance Computing) s’est fixée comme objectif d’atteindre avant 2020 l’Exascale (10^{18}), soit des calculateurs 1000 fois plus puissants qu’aujourd’hui.

Après avoir décrit les systèmes HPC présents, on discutera les challenges que présente l’Exascale. L’architecture des systèmes Exascale sera hyper-parallèle avec plus de 100.000 nœuds, des processeurs avec des dizaines (voire centaines) de cœurs. On utilisera de nouvelles technologies pour les mémoires, le stockage et l’interconnexion des composants. Pour les architectes des supercalculateurs Exascale, les défis majeurs concernent la consommation qui doit être limitée à quelques MW et la résilience aux pannes. Enfin, les applications qui pourront efficacement tirer parti de ces systèmes sont à développer et nécessiteront de nouvelles méthodes.

16h30-17h Réunion Plateforme virtuelle reconfigurable – Petit Amphi CPE

17h-18h : Sessions Interactives GT

Logiciels Embarqués et Architectures Matérielles : F004

Architectures Reconfigurables : F005

Méthodes et outils de conception AMS & RF : F006

Test & Tolérance de SOC/SIP : F007

Consommation et Energie dans les SOC/SIP : F101

Systèmes hétérogènes : F102

Technologies émergentes : G109

Sécurité numérique : G102

20h : Dîner de Gala

mercredi 12 juin

9h-10h : Session Exposé E7

GT Test & Tolérance de SOC/SIP (Serge Bernard, LIRMM ; Adjoints : Régis Leveugle, TIMA et Mounir Benabdenbi, TIMA)

**9h – 9h30 Test et sûreté de fonctionnement des Philippe Cauvet, Ophtimalia
dispositifs électroniques médicaux**

Garantir une sûreté de fonctionnement maximale est une obligation absolue pour les fabricants de dispositifs électroniques médicaux. Parmi les moyens mis en œuvre pour atteindre cet objectif, le Test joue un rôle essentiel, car il permet d'en vérifier le parfait fonctionnement, ainsi que la conformité par rapport au cahier des charges et aux normes en vigueur. Après avoir introduit quelques notions sur les dispositifs médicaux, puis sur la sûreté de fonctionnement en général, les particularités des applications médicales seront évoquées avant de situer le rôle du Test dans ce contexte. L'exemple d'un dispositif permettant de mesurer et d'enregistrer les variations de pression intraoculaire en continu sera pris pour illustrer quelques points particuliers.

**9h30 – 10h Near Field Communication Technology Bruno Guillotin, NXP
and System auto-adaptation**

By introducing the Near Field Communication Technology, the contactless system complexity for secured communication and transaction application will be overviewed. To cover this diversity, the NXP system embeds an auto-adaptive solution. One of the key challenge is to reach 100% of interoperability over our moving world!

10h-11h : Session Poster P3

GT Méthodes et outils de conception AMS & RF

Emetteur pour transmission d'énergie sans fil et convertisseur demi-pont résonnant accordé par capacité commutée synchrone

Romain Denieport, IEF

Impact de la ligne de transmission pour des interconnexions RF d'un réseau sur puce

Lounis Zerioul, ETIS

Analog Linear and Non Linear Image Processing Unit Implemented in a CMOS retina

Purnawarman Musa, LEAD

SystemC-AMS modeling of an acquisition and a reconstruction systems based on the compressed sensing theory

Andrianiaina Ravelomanantsoa, Institut Jean Lamour

A Fully Digital Background Calibration of Timing Skew in TI-ADC

Han Le Duc, Telecom ParisTech

Physically Based Approach of Simple Compact Modeling for 3D Interconnects in RF circuit

Fengyuan Sun, INL

Power-Reconfigurable Receiver Model for Energy-Aware WSNs: A Systematic Approach
Amine Didioui, CEA-LETI

High input ratio and wide dynamic output CMOS AGC amplifier
Ming Zhang, Université de Paris Sud 11- CNRS

Détecteurs de crêtes rapides pour le contrôle d'un générateur d'induction magnétique à convertisseur résonnant
Francis Rodes, ENSEIRB-MATMECA

High Level Modeling of Signal Integrity in High Frequency USB 3.0 Systems with SystemC-AM
Ruomin Wang, LIP6

Méthodes de linéarisation pour un récepteur large-bande
Raphaël Vansebrouck, LTCl

GT Systèmes hétérogènes

Circuit d'interface pour capteur Pirani permettant la mesure de pression élevée
You Wang, Université Paris-Sud 11

Caractérisation d'un capteur Pirani pour la mesure de pression au-delà de l'atmosphère
D. Ibrahima, Université Paris Sud 11

An OMNeT++ Framework for Wireless Sensors Power Consumption Estimation and Design
Wilfried Dron, LIP6

Nouvelle allocation de ressources spectrales pour les interconnexions RF pour NoC
Frédéric Drillet, ETIS

Time Step Control and Threshold Crossing Detection in SystemC AMS 2.0
Liliana Andrade, LIP6

Self-Adaptive System for Medical Application
Anthony Deluthault, LIRMM

Co-simulation of Physiological Glucose-Insulin human system and embedded system models including hardware and software components
Charbel El Gemayel, INL

Low consuming active control strategy involving dynamic spatial control partition in WSN
Mateusz Zielinski, INL

Comment venir à CPE Lyon

Vous venez en métro et tramway

- Prenez le métro (ligne A direction Vaulx-en-Velin la Soie, ou B direction Charpennes) jusqu'à la station Charpennes
- Prenez le Tramway T1 direction IUT-Feyssine
- Arrêtez-vous à la station La Doua Gaston Berger

Vous venez en voiture

- Prenez le périphérique et sortez "Porte de la Doua"
- Suivez ensuite les indications "Domaine Scientifique de la Doua"

Vous venez en train

Depuis la gare de la Part-Dieu (vivement conseillé) :

- A la Part Dieu prenez le Tramway T1 Direction IUT-Feyssine
- Arrêtez-vous à la station La Doua Gaston Berger.

Depuis la gare de Perrache :

- Prenez le métro ligne A, direction Vaulx-en-Velin la Soie, jusqu'à Charpennes
- Prenez le Tramway T1 direction IUT-Feyssine.
- Arrêtez-vous à la station La Doua Gaston Berger

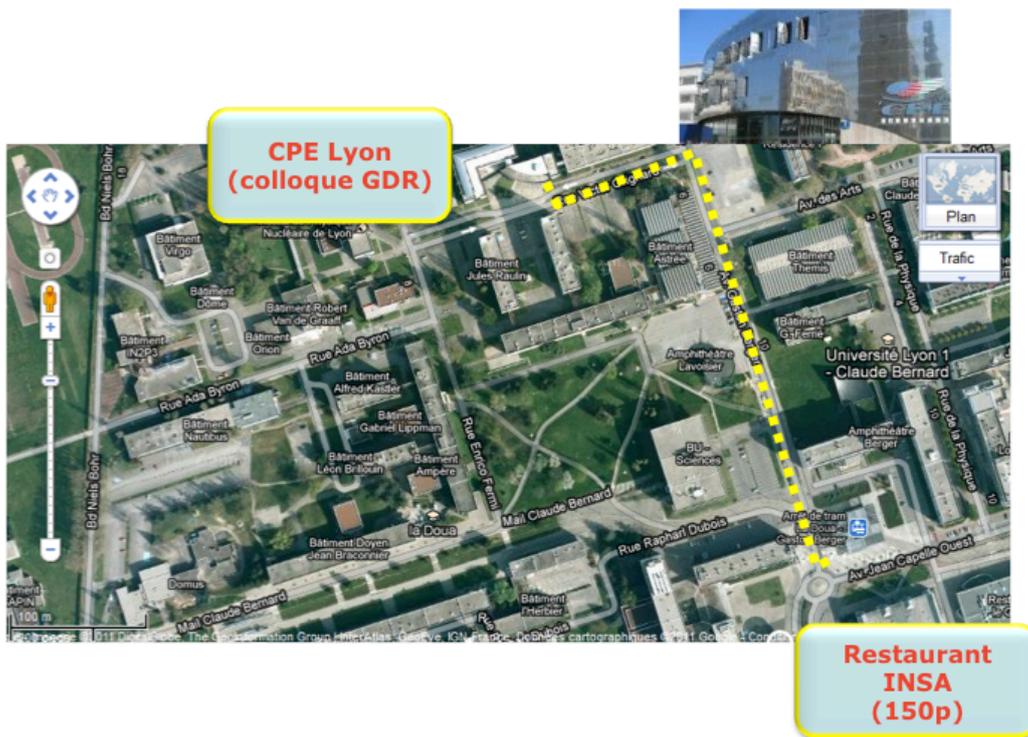
Vous venez en avion

A l'aéroport Saint-Exupéry :

- Prenez le tram rapide Rhonexpress (toutes les 15 minutes) en direction de Lyon-centre.
- Descendez à la gare de la Part Dieu.
- Prenez le Tramway T1 direction IUT-Feyssine.
- Arrêtez-vous à la station La Doua Gaston Berger



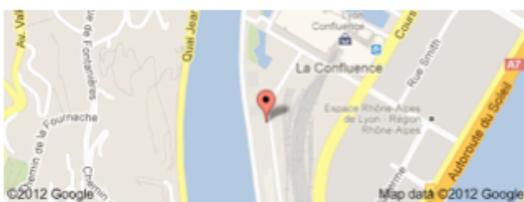
Restauration de midi : INSA - Le Grillon



Dîner de Gala

Les Salins (<http://www.les-salins.fr>, 04 78 92 87 87)

43 Quai Rambaud, 69002 Lyon



GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



2014 : Colloque national du GdR SoC-SiP, Paris

Dates : 11-13 juin 2014

Lieu : Télécom ParisTech - Institut Mines Télécom, Paris

**COLLOQUE NATIONAL
du GDR SOC-SIP**

11-13 juin 2014

**Télécom ParisTech
Institut Mines Télécom
46, rue Barrault
75013 Paris**



COMITE D'ORGANISATION LOCALE

Equipe C2S de Télécom ParisTech

E/C : Patricia Desgreys, Hervé Petit, Hussein Fakhoury, Patrick Loumeau

Post-doctorants : Chadi Jabbour, Reda Mohellebi

+ L'équipe des doctorants

Toutes les présentations orales (keynotes / exposés / ouverture / évolution / clôture) auront lieu dans l'amphithéâtre Thévenin.

Les posters et les pauses seront dans le Hall et/ou salle E200.

COMITE SCIENTIFIQUE et ANIMATION DU GDR SOC/SIP

Directeur

Patrick Garda, LIP6

Directeurs adjoints

Patrick Girard, LIRMM

Ian O'Connor, INL

Responsables d'axes et animateurs des thématiques

Architectures des systèmes numériques intégrés

Sébastien Pillement, IETR, Univ. Nantes

Adjoint : Philippe Coussy, Lab-STICC

Animateurs :

Manycores

Franck Wajsburt, LIP6

Reconfigurable

Loïc Lagadec, Lab-STICC

Sécurité Test Fiabilité Vérification

Lilian Bossuet, LaHC, Univ. St Etienne

Animateurs :

Sécurité

Marie-Lise Flottes, LIRMM

Test

Serge Bernard, LIRMM et Mounir Benabdenbi, TIMA

Vérification

Katell Morin, TIMA (à confirmer)

Dispositifs émergents et Cyberphysique AMS

Cristell Maneux, IMS

Adjointe : Patricia Desgreys, Télécom ParisTech

Animateurs :

AMS-RF

Nathalie Deltimple, IMS

Systèmes hétérogènes

Marie-Minerve Louërat, LIP6

Technologies émergentes

Jacques-Olivier Klein, IEF

Capteurs et modélisation multiphysique

Luc Hébrard, iCube

Défis sociétaux

Cécile Belleudy, LEAT

Adjoint : Fabien Mieyeville, INL

Animateurs :

Consommation

Eric Senn, Lab-STICC

Systèmes embarqués pour la santé

Sylvie Renaud, IMS et Olivier Romain, ETIS

PROGRAMME

Mercredi 11 juin

10h-11h : Ouverture

10h – 10h30	Ouverture	P. Garda, P. Girard, I. O'Connor
10h30 – 10h45	Bienvenue	Y. Poilane, Directeur de Télécom ParisTech
10h45-11h	Organisation du colloque	P. Desgreys

11h-12h : Session Exposé E1

Axe Sécurité Test Vérification – resp. : L. Bossuet, LaHC (FR)

11h-11h10	Introduction	L. Bossuet, LaHC (FR)
11h10-12h	Hardware Attacks on Secure ICs	G. van Battum, Brightsight (NL)

G. Van Battum will talk a little bit about the history of attacks and their evolution till today. Thereafter, an overview and a classification of different attacks and their effects will be discussed. Examples will be given of hardware attack techniques on actual secure ICs, such as reverse engineering, mechanical probing, (e-beam) microscopy, etching and polishing, ROM code analysis and Focused Ion Beam modification. This will be put in perspective with commonly applied design practices to protect state-of-the-art secure ICs, which make hardware attacks more difficult.

12h-12h30	Méthodes formelles pour la conception et la vérification de Systèmes sur Puce	E. Encrenaz, LIP6 (FR)
-----------	---	------------------------

E. Encrenaz présentera un panorama des différentes approches de méthodes formelles disponibles, mis en relation avec les fonctionnalités ou niveaux d'abstractions analysables, et une cartographie des labos / travaux en France sur ces sujets.

12h30-14h00 : Repas

Restaurant RAB – Télécom ParisTech

14h00-15h00 : Session Keynote K1

14h00-15h00	European research on Electronic applications – from ARTEMIS to ECSEL	A. Foster, ARTEMIS-JU (BE)
-------------	--	----------------------------

15h00-16h00 : Session Poster P1

Axe Architectures des systèmes numériques intégrés

- Multithreading for embedded compute accelerators through distributed shared memory design, Garibotti Rafael(1), Ost Luciano(1), Gamatie Abdoulaye(1), Sassatelli Gilles(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- A hierarchical RF interconnect for MPSoC, Brière Alexandre(1), Denoulet Julien(1), Pinna Andrea(1), Granado Bertrand(1), Pêcheux François(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Modèle Pour la Simulation Parallèle Sur GPUs des Réseaux de Capteurs Sans Fil, Laga Arezki(1), Bounceur Ahsène(1), Lounis Massinissa(2). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France), 2 - Laboratoire d'Informatique MEDicale (Algérie)
- Un nouveau flot de compilation pour application flot de données paramétrique, Dardaillon Mickaël(1), Marquet Kevin(2), Risset Tanguy(2), Martin Jérôme(3), Charles Henri-Pierre(4). 1 - SOCRATE (France), 2 - SOCRATE (France), 3 - Laboratoire d'Electronique et des Technologies de l'Information (France), 4 - CEA (France)
- HNCP-II : Une architecture multiprocesseurs flexible dédiée aux applications de traitement de l'image, Boussadi Mohamed Amine(1), Derutin Jean-Pierre(2)(1), Landrault Alexis(2)(1), Tixier Thierry(1). 1 - Institut Pascal (France), 2 - Polytech Clermont-Ferrand (France)
- Exploitation des données en lecture seule dans les hiérarchies mémoires, Vaumourin Grégory(1), Guerre Alexandre(1), Dombek Thomas(1), Barthou Denis(2). 1 - Laboratoire Calculs Embarqués (France), 2 - Laboratoire Bordelais de Recherche en Informatique (France)
- On-Chip Monitor Support in High-Level Synthesis Flow, Ben Hammouda Mohamed, Coussy Philippe(1), Lagadec Loïc. 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Consistency Protocol Decision at Compile-time for Multi-protocol Distributed Shared Memory Systems, Safae DAHMANI, Loïc Cudennec, Guy Gogniat
- Porting Linux on the TSAR manycore architecture, Porquet Joël(1), Greiner Alain(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Mécanisme de synchronisation scalable à plusieurs lecteurs et un écrivain, Karaoui Mohamed Lamine(1), Meunier Quetin, Wajsburt Franck, Greiner Alain. 1 - Laboratoire d'Informatique de Paris 6 (France)
- An efficient MIMO receiver based on BP algorithm with truncated message-passing, Haroun Ali(1)(2), Abdel Nour Charbel(1), Arzel Matthieu(1), Jegou Christophe(2). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France), 2 - Laboratoire de l'Intégration du Matériau au Système (France)
- Conception et réalisation d'un noeud sans fil pour un système distribué de contrôle actif des vibrations., Zielinski Mateusz(1), Mieyeville Fabien(1), Bareille Olivier(2), Navarro David(1). 1 - Institut des nanotechnologies de Lyon - Site d'Ecully (France), 2 - Laboratoire de Tribologie et Dynamique des Systèmes (France)
- Designing optimized parallel interleaver architecture through network customization, Rehman Saeed Ur(1), Chavet Cyrille(1), Coussy Philippe(1). 1 - Université de Bretagne-Sud UEB, CNRS Lab-STICC (France)

- Smart-EEG : A New Platform for Tele-Expertise of Electroencephalogram, Lambert Laurent(1), Dhif Imen(1), Ibraheem Mohammed Shaaban(1), Ahmed Syed Zahid(1), Pinna Andrea(1), Hachicha Khalil(1), Granado Bertrand(1), Garda Patrick(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Educate Engineers and/or Students to Improve Embedded Systems Design Ability, Shimizu Naohiko(1). 1 - Tokai University (Japon)
- Une nouvelle méthode pour la génération de graphes dataflow, Lesparre Youen(1), Bodin Bruno(2), Munier Alix(1), Delosme Jean-Marc(3). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - School of Informatics (Royaume-Uni), 3 - Informatique, Biologie Intégrative et Systèmes Complexes (France)
- Design of a Compact and Efficient Embedded Biometric Processor, Chouta Taoufik(1), Danger Jean Luc, Graba Tarik. 1 - Télécom ParisTech (France)
- Approche hybride de simulation pour l'amélioration des modèles de performance des architectures, Le Nours Sebastien(1). 1 - IETR (France)
- Flexible and High-Throughput Architectures for Quasi-Cyclic Low-Density Parity-Check Codes, Al Hariri Alaa Aldin(1), Monteiro Fabrice, Siéler Loïc, Dandache Abbas. 1 - Université de Lorraine (France)
- Déploiement à la volée de réseaux d'acteurs dataflow dynamiques sur plateforme multiprocesseurs hétérogène, Ngo Thanh Dinh(1), Martin Kevin(1), Diguët Jean-Philippe(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France)
- Digital Real-Time Multiple Channel Multiple Mode Neutron Flux Estimation FPGA-based Device, Thevenin Mathieu(1). 1 - Commissariat à l'Energie Atomique, Institut LIST (France)
- Registres sécables de tailles variables et programmables, Thevenin Mathieu(1). 1 - Commissariat à l'Energie Atomique, Institut LIST (France)
- Vers une architecture électronique unifiée et zéro temps mort pour l'instrumentation nucléaire, Yoann MOLINE (1), Mathieu THEVENIN (1), Gwénolé CORRE(1), Michel PAINDAVOINE (2). 1 - Commissariat à l'Energie Atomique, Institut LIST (France), 2 - LE2I (France)
- PanoraMOS: A Complete Panoramic Smart Detector, Pelissier Frantz(1), Berry François, Birem Merwan, Ait Aider Omar. 1 - Institut Pascal (France)

16h00-17h30 : Session Exposé E2

Axe Dispositifs Emergents et Cyberphysique AMS – resp. C. Maneux, IMS (FR)

16h00-16h30 Introduction C. Maneux, IMS (FR)

16h30-17h30 Power-Aware Design of Cyber-Physical Systems C. Grimm, TU Kaiserslautern (DE)

Smart sensor systems are often part of and functionally tightly interwoven with cyber-physical systems. A particular challenge is its energy supply as the systems are often small, distributed, mobile, or even energy-autonomous. We will show how much power consumption is influenced by and across all layers of the system, from technology of the (SoC-) implementation up to the high-level application scenarios. As a support for designers, we give an overview of approaches to estimate power consumption at system level. As an outlook, we give an overview of two major German research projects in this area.

17h30-19h : Réunion de comité de pilotage

Salle B603

jeudi 12 juin

9h-10h : Session Keynote K2

9h-10h Présentation de la Stratégie Nationale P. Fouillat, MENESR / DGRI / SSRI (FR)
de Recherche

10h-11h : Session Poster P2

Axe Sécurité Test Vérification et Défis sociétaux

- Correlation Analysis of the Power Consumption applied to IP Watermark Verification, Marchand Cédric(1), Bossuet Lilian(1). 1 - Laboratoire Hubert Curien [Saint Etienne] (France)
- Laser attack: from physic to logic, Lu Feng(1), Di Natale Giorgio(1), Flottes Marie-Lise(1), Rouzeyre Bruno(1), Hubert Guillaume(2). 1 - LIRMM (France), 2 - ONERA (France)
- Hardware Logic Encryption for thwarting Illegal Overproduction and Hardware Trojans, Dupuis Sophie(1), Di Natale Giorgio(1), Flottes Marie-Lise(1), Rouzeyre Bruno(1), Ba Papa-Sidy. 1 - LIRMM (France)
- Analyse d'opérateurs d'inversion dans $GF(2^m)$: compromis surface & vitesse, Métairie Jérémy(1), Tisserand Arnaud(1), Casseau Emmanuel(1). 1 – IRISA CAIRN (France)
- Chiffrement homomorphique : entre développements théoriques et implantations pratiques, Mkhinini Asma(1), Maistri Paolo(1), Leveugle Régis(1). 1 - Mkhinini (France)
- Extending Multicore Architectures with Cryptoprocessors and Parallel Cryptography, Mancillas Lopez Cuauhtemoc(1), Mendez Real Maria (2), Bossuet Lilian(1), Gogniat Guy(2), Fischer Viktor (1), Baganne Adel (2). 1 - Laboratoire Hubert Curien [Saint Etienne] (France), 2 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Secure deployment in trusted many-core architectures, Mendez Real Maria (1), Gogniat Guy(1), Baganne Adel(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- System-level SoC Verification through Context-aware Model-Checking, Teodorov Ciprian(1), Dhaussy Philippe(1), Lagadec Loic(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France)
- Hardware Trojan Horses in Cryptographic IP Cores, Ngo Xuan Thuy(1), Bhasin Shivam(1), Danger Jean Luc(1,2), Guilley Sylvain(1,2), Sauvage Laurent(1,2). 1 - Télécom ParisTech (France), 2 – Secure-IC
- Random Number Generators, does jitter realizations can be still considered as mutually independent ?, Haddad Patrick(1,2), Teglia Yannick (2), Nicolai Jean (2), Agoyan Michel (2), Bernard Florent (1), Fischer Viktor(1). 1 - Laboratoire Hubert Curien [Saint Etienne] (France), 2 - STMicroelectronics, Advanced System Technology [Rousset](France)
- A Fault-tolerant Architecture for Pipelined Microprocessor Cores, Wali Imran(1), Virazel Arnaud(1), Bosio Alberto(1), Dilillo Luigi(1), Girard Patrick(1). 1 - Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (France)

- Shadow-scan design with reduced latency overhead, Sarrazin Sebastien(1)(2), Evain Samuel(2), Alves De Barros Naviner Lirida(1), Gherman Valentin(2). 1 - Laboratoire Traitement et Communication de l'Information [Paris] (France), 2 - Laboratoire de Fiabilisation des Systèmes Embarqués (France)
- 3D Test Scheduling Concepts, Azevedo Joao(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- A Comprehensive Evaluation of Functional Programs for Power-Aware Test, Touati Aymen, Bosio Alberto(1), Dilillo Luigi(1), Girard Patrick(1), Virazel Arnaud(1). 1 - Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (France)
- Fault-Tolerance Mechanisms for Permanent Failures in a Coherent Shared-Memory Many-Core Architecture, Fuguet César(1), Greiner Alain(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Crosstalk and Supply Noise - Aware Pattern Generation for Delay Testing, Asokan Anu(1), Bosio Alberto(2), Dilillo Luigi(3), Girard Patrick(2), Pravossoudovitch Serge(2), Virazel Arnaud(2). 1 - Laboratory of Informatics, Robotics and Microelectronics of Montpellier (France), 2 - Laboratory of Informatics, Robotics and Microelectronics of Montpellier (France), 3 - Laboratory of Informatics, Robotics and Microelectronics of Montpellier (France)
- An Injection Fault Flow based On Module Isolation for Reliability Evaluation of SRAM-FPGA, Sahraoui Fouad(1), Ghaffari Fakhreddine(1), Benkhelifa Mohamed El Amine(1), Granado Bertrand(2). 1 - Equipes Traitement de l'Information et Systèmes (France), 2 - Laboratoire d'Informatique de Paris 6 (France)
- Importance de la mise en place de méthodes automatisées pour la vérification du réseau ESD sur silicium en technologies CMOS avancées, Viale Benjamin(1), Allard Bruno(2), Galy Philippe, Fer Mathieu. 1 - STMicroelectronics (Crolles) (France), 2 - Ampère (France)
- Internal Contactless Testing of SoC: Dynamic Optical Techniques challenges and emerging solutions, Perdu Philippe(1). 1 - Centre National d'Etudes Spatiales (France)
- Evaluation of System Reliability at High Level, Kooli Maha(1), Di Natale Giorgio(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- Design of Fault-Secure FIR Filters Protected Using Residue Codes, Piestrak Stanislaw(1), Patronik Piotr. 1 - Res. Team MAE, Institut Jean Lamour (France)
- Interconnexions RF pour NoC utilisant l'OFDMA, Drillet Frédéric(1), Bourdel Emmanuelle(1), Duperrier Cédric(1), Quintanel Sébastien(1). 1 - Equipes Traitement de l'Information et Systèmes (France)
- Modélisation et Simulation de la Couverture de Cibles Mobiles Dans un RCSF, Saadi Nora(1). 1 - Université Abderrahmane Mira (Algérie)
- Calcul parallèle de la consommation d'énergie des mobiles dans un réseau de capteurs sans fil, Lounis Massinissa(1), Laga Arezki, Bounceur Ahcène, Pottier Bernard. 1 - Laboratoire d'Informatique MEDicale (Algérie)
- Power Adaptive Receiver based on Wide-band Distributed Low Noise Amplifier for Home Wireless Networks, Zhou Liang(1). 1 - Laboratoire ETIS (France)
- Dynamic Power Estimation Methodology for FPGA-based Wireless Communication Systems, Lorandel Jordane(1), Prévotet Jean-Christophe(2), Helard Maryline(3). 1 - Institut d'Electronique et de Télécommunications de Rennes (France), 2 - IETR (France), 3 - INSA (France)

- Low Power Exploration Design Flow for Fall Detection System, Nguyen Thi Khanh Hong(1), Belleudy Cecile, Pham Van Tuan. 1 - Laboratoire d'Electronique, Antennes et Télécommunications (France)

11h-12h30 : Session Exposé E3

AXE Défis sociétaux – resp. C. Belleudy, LEAT (FR)

11h-11h10	Introduction	C. Belleudy, LEAT (FR)
11h10-11h50	Optimal design of energy-efficient and cost-effective Wireless Body Area Networks	J. Elias, LIPADE (FR)

Wireless Body Area Networks (WBANs) represent one of the most promising approaches for improving the Quality of Life, allowing remote patient monitoring and other healthcare applications. The deployment of a WBAN is a critical issue that impacts both the network lifetime and the total energy consumed by the network. This work investigates the optimal design of WBANs by studying the joint data routing and relay positioning problem, in order to increase the network lifetime. To this end, we propose an integer linear programming model, which optimizes the number and location of relays to be deployed and the data routing towards the sink, minimizing both the network installation cost and the energy consumed by wireless sensors and relays. We solve the proposed model in realistic WBAN scenarios, and compare the model performance to the most notable approaches proposed in the literature. Numerical results demonstrate that our model provides a good tradeoff between the energy consumption and the number of installed relays, and designs energy-efficient and cost-effective WBANs in a short computing time, thus representing an interesting framework for the dynamic WBAN design problem.

11h50-12h30	WSN, energy harvesting et applications	F. Brokaert, Thales (FR)
--------------------	--	--------------------------

Résumé en 10 lignes

12h30-14h00 : Repas

Restaurant RAB – Télécom ParisTech

14h00-15h00 : Session Keynote K3

14h00 – 15h00	Histoire de la Loi de Moore	C. Lécuyer
----------------------	-----------------------------	------------

Le paysage de la recherche et de l'innovation a connu des changements considérables depuis les années 1980. Un de ces changements a été l'apparition de nouvelles formes de gouvernance de l'innovation comme la loi de Moore et les feuilles de route. D'où viennent ces nouvelles formes de gouvernance de l'innovation ? Comment peut-on expliquer leur essor ? Quelles sont les forces qui ont présidé à leur naissance et permis leur continuation ? Cette présentation démontre que la loi de Moore, une série d'énoncés sur la complexification des circuits intégrés, est née d'une campagne de marketing menée par Fairchild Semiconductor, une entreprise de la Silicon Valley. A partir du milieu des années 1970, les entreprises de semi-conducteurs aux États-Unis et au Japon utilisèrent la loi de Moore pour planifier le développement de leurs produits et guider la création de nouveaux matériaux

et procédés de fabrication. Mais ce fut avec la création des feuilles de route que la loi de Moore devint une forme de gouvernance de l'innovation. Les feuilles de route institutionnalisèrent la loi de Moore et la transformèrent en principe directeur de l'innovation dans les semi-conducteurs. Elles accélèrent ainsi la miniaturisation des circuits intégrés et leur appropriation par un grand nombre de secteurs industriels. Les formes de gouvernance de l'innovation initiées par l'industrie des semi-conducteurs ont été adoptées depuis une quinzaine d'années par de nombreuses industries de pointe telles que la biotechnologie, la nanotechnologie et les cellules photovoltaïques.

15h00-16h00 : Session Poster P3

Axe Dispositifs Emergents et Cyberphysique AMS

- Intégration de réseaux de neurones à cliques en électronique analogique, Larras Benoit(1), Lahuec Cyril(1), Arzel Matthieu(1), Séguin Fabrice(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France)
- A simple structure fast-settling automatically gain control amplifier, Wang Xusheng(1). 1 - Institut d'électronique fondamentale (France)
- A rapid accurate and wide swing envelope detector, Wang Xusheng(1). 1 - Institut d'électronique fondamentale (France)
- Mismatch Requirement Analysis in Bootstrapped S/H, Kamdem De Teyou Gaël(1), Petit Hervé(1), Loumeau Patrick(1), Fakhoury Hussein(1). 1 - Laboratoire Traitement et Communication de l'Information [Paris] (France)
- Simulation methodology for Large-Bandwidth Track-and-Hold microwave circuit, Meyer Arnaud(1). 1 - Thales Systèmes aéroportés [Elancourt] (France)
- Approche adaptative pour la correction des défauts d'appariement d'un convertisseur analogique numérique par entrelacement, Bonnetat Antoine(1), Hodé Jean-Michel(1), Dallet Dominique(2), Ferré Guillaume(2). 1 - THALES Airborne Systems [Elancourt] (France), 2 - Laboratoire de l'intégration, du matériau au système (France)
- Un émetteur radio logicielle intégrale: la pompe de Riemann, Veyrac Yoan(1)(2), Rivet Francois(1), Deval Yann(1), Regimbal Nicolas(2). 1 - Laboratoire de l'intégration, du matériau au système (France), 2 - Atlantic Innovation Electronic Solutions (France)
- CAN en parallèle de type décomposition fréquentielle à base de modulateurs sigma delta pour un récepteur radio multistandard, Lahouli Rihab(1). 1 - Laboratoire de l'intégration, du matériau au système (France)
- Body Area Sensors Networks: State-of-The-Art, Performances, Limitations and Perspectives, Sarimin Nuraishah(1). 1 - LISITE MINARC (France)
- UVM standard-compliant SystemC (AMS)-based verification framework for heterogeneous systems, Wang Zhi, Pêcheux François(1), Louerat Marie-Minerve, Li Yao. 1 - Laboratoire d'Informatique de Paris 6 (France)
- A Lifetime Estimation Method for Wireless Sensor Networks Based on Emulation, Dron Wilfried(1), Duquennoy Simon(2), Voigt Thimo(2)(3), Hachicha Khalil(1), Garda Patrick(1). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - SICS (Suède), 3 - Uppsala University (Suède)
- Modélisation compacte et simulation électrothermique du vieillissement et du recouvrement des circuits MOS sous l'effet des porteurs chauds, Garci Maroua(1), Kammerer Jean-Baptiste(1), Hebrard Luc(1). 1 - Laboratoire des sciences de l'ingénieur, de l'informatique et de l'imagerie (France)

- Méthode de modélisation haut-niveau de dispositifs MEMS en SystemC-AMS, Vernay Benoît(1)(2), Krust Arnaud(2), Maehne Torsten(1), Schröpfer Gerold(2), Pêcheux François(1), Louërat Marie-Minerve(1). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - Coventor SARL (France)
- Micro Pirani gauge for more sensing, Zhang Ming(1). 1 - Institut d'électronique fondamentale (France)
- VHDL-AMS Modeling in Time Domain of an RF Network on Chip, Zeroul Lounis(1), Bourdel Emmanuelle(1), Ariaudo Myriam(1). 1 - Equipes Traitement de l'Information et Systèmes (France)
- Modulation & Simulation of Architecture and Protocol in Optical Network-on-Chip (ONoC), Liu Xuchen(1), O'connor Ian(1), Le Beux Sébastien(1), Li Hui(1), Navarro David(1). 1 - Institut des Nanotechnologies de Lyon (France)
- E-health Systems for Traditional Chinese Medicine Assistance and Evaluation, Chen Chen(1)(2)(3). 1 - xunzhang (Chine), 2 - kenneth Yun (États-Unis), 3 - Patrick Garda (France)
- High compatibility compact model of stochastic Spin transfer torque in MTJ, Wang You(1)(2). 1 - Laboratoire Traitement et Communication de l'Information [Paris] (France), 2 - Institut d'électronique fondamentale (France)
- Complementary logic interface for high performance optical computing with OLUT, Li Zhen(1). 1 - Institut Nanotechnologie de Lyon (France)
- Consistency Protocol Decision at Compile-time for Multi-protocol Distributed Shared Memory Systems, Dahmani Safae(1)(2), Cudennec Loïc(1), Gogniat Guy(2). 1 - CEA - LIST (France), 2 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Expressions Analytiques en Mode SET pour des Memristors Organiques Formés de Fe(bpy)₃²⁺, Lorival Jean-Etienne(1), Marc François(1), Cabaret Théo(2), Derycke Vincent(2), Jusselme Bruno(3), Klein Jacques-Olivier(4), Maneux Cristell(1). 1 - Laboratoire de l'intégration, du matériau au système (France), 2 - Laboratoire d'Innovation en Chimie des Surfaces et Nanosciences (France), 3 - Laboratoire d'Innovation en Chimie des Surfaces et Nanosciences (France), 4 - Institut d'électronique fondamentale (France)
- Design and Implementation of Compressed Sensing Encoder, Ravelomanantsoa Andrianiaina(1), Rouane Amar(1), Rabah Hassan(1). 1 - Institut Jean Lamour - Département N2EV - Mesures et Architectures Electroniques (France)
- Parallel Bit plane for MMWaves Coding, Mhedhbi Imen(1), Garda Patrick(2), Hachicha Khalil(2). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - Laboratoire d'Informatique de Paris 6 (France)
- Magnetic RAM based memory hierarchy exploration, Senni Sophiane, Brum Raphael, Torres Lionel(1), Sassatelli Gilles(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- Challenges of Physical Verification for Silicon Photonic Designs, Cao Ruping(1), Arriordaz Alexandre(2), O'connor Ian(3). 1 - Mentor Graphics Corp. (France), 2 - Mentor Graphics Corp. (France), 3 - Instituts des Nanotechnologies de Lyon (France)
- Spin torque nanodevices as building blocks for future electronics, Locatelli Nicolas(1), Vodenicarevic Damir(1), Mizrahi Alice(1)(2), Kim Joo-Von(1), Accioly Artur(1)(2)(3), Klein Jacques-Olivier(1), Zhao Weisheng(1), Querlioz Damien(1), Cros Vincent(2), Grollier Julie(2). 1 - Institut d'électronique fondamentale (France), 2 - Unité Mixte de Physique CNRS/Thales (France), 3 - Instituto de Fisica, Univ. Federal do Rio Grande do Sul (Brésil)

16h00-17h30 : Session Evolution du GdR

19h : Dîner de Gala

Restaurant Bouillon Racine

<http://www.bouillon-racine.com/fr/accueil/index.html>

vendredi 13 juin

9h-10h30 : Session Exposé E4

Axe Architectures des systèmes numériques intégrés – resp. S. Pillement, IETR (FR)

9h-9h10

Introduction

S. Pillement, IETR (FR)

La sécurité a l'interface du logiciel et du matériel : vulnérabilités et contre-mesures

V. Nicomette, E. Alata LAAS (FR)

La sécurité vis-à-vis des malveillances dans les couches basses du logiciel, à la frontière du logiciel et du matériel est difficile à appréhender. En particulier, les méthodes formelles, habituellement utilisées pour assurer un développement sécurisé de logiciel, s'avèrent difficiles à mettre en oeuvre pour modéliser, à un niveau très bas d'abstraction, le comportement du logiciel et du matériel. Des hypothèses sur le matériel sont donc nécessairement faites lors du développement du logiciel et ces hypothèses ne sont pas forcément vérifiées lors de l'utilisation en conditions réelles du logiciel. Il est donc fondamental d'accompagner le développement sécurisé d'une phase de recherche de vulnérabilités et de proposition de contre-mesures. Dans cette présentation, nous illustrons cette phase au travers d'une étude d'un système embarqué critique expérimental avionique. Par ailleurs, les contre-mesures, à ce niveau très bas d'abstraction, sont d'autant plus efficaces qu'elles reposent sur des moyens matériels incontournables. Nous poursuivons donc par la présentation de deux études destinées à concevoir des mécanismes de protection matériels basés sur l'utilisation de carte FPGA.

Logiciels embarqués - quelques problèmes actuels : Illustration avec le domaine automobile.

S. Faucou, IRCCyN (FR)

Le concept de "mixed criticality systems", que l'on peut traduire par "systèmes à criticités multiples" ou "systèmes à criticités mixtes", a été introduit pour désigner des systèmes embarqués intégrant sur une même plate-forme des fonctions conçues et implémentées pour répondre à des exigences de vérification/validation/certification différentes. Ce concept repose sur l'hypothèse que la plate-forme d'exécution offre les moyens d'isoler les composants de niveaux de criticité différents. Il présente un intérêt économique puisqu'il évite de devoir vérifier/valider/certifier toutes les fonctions, y compris les moins critiques, en regard des exigences associées au niveau de criticité le plus élevé.

L'étude des systèmes à criticités multiples comporte deux axes de travail : d'une part l'étude des plate-forme d'exécution permettant la construction de tels systèmes, et d'autres part l'analyse statique hors ligne de ces systèmes. L'exposé abordera ces deux axes, en s'appuyant principalement sur des exemples issus du domaine des logiciels embarqués dans les automobiles.

10h30-11h30 : Session Poster P4

Axes Architectures des systèmes numériques intégrés

- Implémentation d'une primitive MPI Spawn pour le déploiement dynamique de tâches dans un Système multiprocesseurs sur puce reconfigurable (MP-RSoC) à mémoire distribuée, Gamom Ngounou Ewo Roland Christian(1)(2), Granado Bertrand(3), Pinna Andrea(3), Fotsin Bertrand Hilaire, Mbouenda Martin. 1 - Equipes Traitement de l'Information et Systèmes (France), 2 - Laboratoire d'Informatique de Paris 6 (France), 3 - Laboratoire d'Informatique de Paris 6 (France)
- Power Monitoring in Embedded systems, Najem Mohamad(1), Benoit Pascal(1), Sassatelli Gilles(1), Torres Lionel(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- CHAMELEON: A Ring-based Optical Network-on-Chip with Reconfigurable Channels, Li Hui(1), Le Beux Sébastien, O'connor Ian. 1 - Lyon Institute of Nanotechnology (France)
- An Automated Design Approach for Application Mappings on CGRAs, Peyret Thomas(1), Corre Gwenolé(1), Thevenin Mathieu(1), Martin Kevin(2), Coussy Philippe(2). 1 - Commissariat À l'Energie Atomique, Institut LIST (France), 2 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Circuit de stimulation nerveuse à contre-réaction d'équilibrage des charges sur FPAA, Kölbl Florian(1), Guillaume Raphaël(1), Halser Jennifer(2), Joucla Sébastien(3), Yvert Blaise(3), Renaud Sylvie(1), Lewis Noëlle(1). 1 - Laboratoire IMS (France), 2 - Georgia Institute of Technology (Etats-Unis), 3 - Institut de Neurosciences cognitives et intégratives d'Aquitaine (France)
- Hardware architecture of a self-adaptive neuro-processor, Fiack Laurent(1), Rodriguez Laurent(1), Miramond Benoît(1). 1 - Equipes Traitement de l'Information et Systèmes (France)
- Placement en ligne de Tâches sur Architecture Dynamiquement Reconfigurable Hétérogène, Le Quang Hoa, Casseau Emmanuel(1), Courtay Antoine. 1 - CAIRN (France)
- Fast and power efficient heapsort IP for image compression application, Bai Yuhui(1), Ahmed Syed Zahid(2), Granado Bertrand(3). 1 - Equipes Traitement de l'Information et Systèmes (France), 2 - Laboratoire d'Informatique de Paris 6 (France), 3 - Laboratoire d'Informatique de Paris 6 (France)
- Distributed architecture for clock generation in large many-core SoC, Shan Chuan(1), Galayko Dimitri(1), Anceau François(1), Zianbetov Eldar(1). 1 - Lip6 (France)
- Communications Flexibles RF pour Interconnexions sur Puce, Mohamad HAMIEH, Myriam ARIAUDO, Sébastien QUINTANEL. ETIS/ ENSEA (France)
- Contrôleurs adaptatifs de Convertisseurs Statiques par reconfiguration dynamique de FPGA, Espino-Garibay Eber(1)(2), Weber Serge(1), Poure Philippe(1), Torres-Lucio Domingo(2). 1 - Institut Jean Lamour Equipe MAE 406 (France), 2 - Programa de Graduados e Investigación en Ingeniería Eléctrica (Mexique)
- Fully Hardware and Custom Implementation of Dynamic and Partial Reconfiguration on FPGAs, Chouchene Wissem, Meftali Samy, Ben Atillah Rabie(1), Dekeyser Jean-Luc. 1 - Laboratoire d'automatique, de mécanique et d'informatique industrielles et humaines (France)
- Microkernel on reconfigurable ARM-FPGA platform, Xia Tian(1), Prévotet Jean-Christophe(2), Nouvel Fabienne. 1 - Institut d'Electronique et de Télécommunications de Rennes (France), 2 - IETR (France)
- DreamCam : a FPGA-based smart camera for embedded vision, Berry François(1), Serot Jocelyn(1). 1 - Institut Pascal (France)

Comment venir à Télécom ParisTech

Adresse postale : 46 rue Barrault F-75634 Paris Cedex 13

Téléphone : +33 (0)1 45 81 77 77 - Fax : +33 (0)1 45 89 79 06

Accès Rue Barrault

- **Métro** : ligne 6 (Corvisart)
- **RER** : ligne B (Denfert-Rochereau) puis métro ligne 6 (direction Nation)
- **Bus** : ligne 62 (Vergniaud), 21 (Daviel) ou 67 (Bobillot)
- **Vélib'** : stations 13022 (face aux 27 et 36, rue de la Butte aux Cailles), 13048 (face au 20, rue Wurtz) ou 13024 (face au 81, rue Bobillot)

Depuis les grandes gares

Le billet de métro/RER (Paris intra muros) coûte 1,70 €

Depuis la Gare Montparnasse :

- métro ligne 6 direction Nation jusqu'à Corvisart
(durée 20 min. environ)

Depuis la Gare de Lyon ou la Gare St-Lazare :

- métro ligne 14 direction Olympiades jusqu'à Bercy,
- puis changer pour la ligne 6 direction Étoile jusqu'à Corvisart
(durée ~25 min. depuis Gare de Lyon ou ~35 min. depuis St-Lazare)

Depuis la Gare du Nord ou Châtelet-Les Halles :

- RER ligne B direction Robinson/St-Rémy jusqu'à Denfert-Rochereau,
- puis changer pour le métro ligne 6 direction Nation jusqu'à Corvisart
(durée ~30 min. depuis Gare du Nord ou ~26 min. depuis Châtelet)

Depuis la Gare d'Austerlitz ou la Gare de l'Est :

- métro ligne 5 direction Place d'Italie jusqu'au terminus,
- puis changer pour la ligne 6 direction Étoile jusqu'à Corvisart
(durée ~25 min. depuis Austerlitz ou ~35 min. depuis Gare de l'Est)

Depuis les aéroports

Depuis l'Aéroport Roissy-Charles de Gaulle :

- RER ligne B direction Robinson/St-Rémy jusqu'à Denfert-Rochereau,
- puis changer pour le métro ligne 6 direction Nation jusqu'à Corvisart
(durée 1 h. environ - prix du billet 9,50 €)

Depuis l'Aéroport d'Orly :

- Orlybus jusqu'à Denfert-Rochereau (terminus),
- puis changer pour le métro ligne 6 direction Nation jusqu'à Corvisart
(durée 35-50 min. environ - le billet Orlybus coûte 7,20 € plus le billet de métro 1,70 €)

mercredi 11 juin	jeudi 12 juin	vendredi 13 juin
9h-10h Accueil	9h-10h Session Keynote K2 - P. Fouillat	9h-10h30 Session Exposé E4 - Arr des systèmes numériques
10h-11h Ouverture	10h-11h Session Poster P2	10h30-11h30 Session Poster
11h-12h30 Session Exposé E1 - Sécurité Test Vérification	11h-12h30 Session Exposé E3 - Défis sociétaux	11h30-12h30 Bilan et Clôture
12h30-14h Repas	12h30-14h Repas	
14h-15h Session Keynote K1 - A. Foster	14h-15h Session Keynote K3 - C. Lécuyer	
15h-16h Session Poster P1	15h-16h Session Poster P3	
16h-17h30 Session Exposé E2 - Dispositifs de Sécurité et Cyberphysique AMS	16h-17h30 Evolution du GDR - P. Garda	
17h30-19h Comité de Pilotage		
19h Dîner de Gala		

GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



2015 : Barcamp sur les objets connectés, Ile d'Oléron

Dates : 19-21 mai 2015

Lieu : CAES du CNRS, Oléron



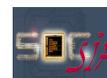
Résultats de l'atelier défis sociétaux : Mobilité, Transport

20 Mai 2015



Définition du défi

- **Faciliter, par les objets connectés, le transport (terrestre, aérien, maritime) de personnes et de biens**
- **Transport de personnes :**
 - Individuel (10km, échelle intra-ville) : Vélib
 - Groupes (1-1000km, échelle intra-inter-ville, quelques personnes) : voitures
 - Foules (1-1000km, échelle intra-inter-ville, centaines de personnes) : tramway, métro, train / avion
 - Personnes âgées et/ou à mobilité réduite
- **Transport de marchandises :**
 - Individuel (dernier kilomètre) : drones, livraison terrestre
 - Masses (10-10000km) : train, camion / avion / navire



Objectifs

● Augmenter

- Confort des déplacements
- Sécurité des déplacements
- Accessibilité des transports (espace, temps, physique)
- Efficacité des transports (nb personnes / trajet ...)

● Réduire

- Durée des trajets (fluidifier les transports)
- Pollution / impact sur l'environnement
- Bruit
- Consommation énergétique



Tendances actuelles

● Trajets multi-modaux

● Nouvelles formes de transport

- Auto-partage
- Transport public intra- et inter-ville de plus en plus sur mesure
 - + Ex. Blablacar Lyon-Paris : 4 ingénieurs du même domaine préfèrent 4-5h de co-voiturage à 20€ avec discussion confidentielle que 2h de train à 200€ où le travail est difficile
 - + Blablacar transporte l'équivalent de 800 TGVs par mois dans le monde
 - + Vers la reconfiguration matérielle du TGV ? Voitures privatisées, voiture bar en plus ...
- Flottes de transports autonomes (drones, camions ...)



Tendances actuelles

- **Suivi des biens ou des personnes**
 - Géolocalisation
 - Observation / surveillance de comportements routiers
 - Suivi (tracking)
- **Maîtrise du flux de transports**
 - Programmation dynamique / adaptative des feux de circulation
 - Analyse de places de parking



Tendances futures

- **Véhicules connectés, véhicules autonomes**
 - Assurances : suivi des véhicules connectés (protection de vie privée)
 - Véhicule autonome :
 - + confiance (absolue ?) dans le constructeur
 - + transition longue entre le tout manuel et le tout autonome (système hybride, co-habitation)



Enjeux sociétaux

● Flux des informations

- Interopérabilité des réseaux, des objets, des billets (Vélib, TGV, métro) ...
- Optimisation dynamique d'itinéraire multi-modal (durée, besoin, profil usages, temps-réel)
- Échange d'informations entre les véhicules

● Dernier kilomètre

- Personnes : transport en commun – comment le rendre intelligent
- Marchandises : livraison et réception (boîte aux lettres communes, regroupement d'achats)



Quelques verrous technologiques

- Récupération d'énergie vibratoire dans les transports pour éviter de puiser dans la batterie
- Reconfigurabilité
- Virtualisation, simulation (système de systèmes)
- Auto-test (diagnostique) + auto-reconfigurabilité pour garanti de service, flux d'informations.
- Intégration multi-standard sur une seule plateforme faible consommation -> co-conception + reconfigurabilité = empreinte énergétique réduite.
- Débit en mouvement (>600kmh)



Questions ...

- Auto-règlage et anticipation de la consommation (et de récupération de l'énergie) en fonction de l'énergie restante (et disponible dans l'environnement).
- Décalage entre constantes de temps (durées de vie) des marchés objets connectés (18 mois) / transport (30 ans) -> fiabilité, évolutivité
- Modularité du capteur / système : comment rendre le capteur réellement évolutif (logiciel / reconfigurabilité / plateforme matérielle)
- Fiabilité (face à l'usure, le vieillissement ...)



Questions ...

- Prise de décision (intelligence dans le capteur) – quelle architecture ? Quelles données (internes, environnementales, applicatives) ? Quel budget énergétique ? Quelle criticité ?
- Tous les modèles de calcul et de communication doivent co-exister (cloud/fog computing, communication distribuée)
- Contraintes en environnement sévère (importantes variations en température, humidité, pression, radiation/altitude)
- Applications temps-réel, interopérabilité -> latence de calcul / reconfiguration obligatoirement faible



Bilan



Enjeu techno Verrous scientifiques	Inter- opérabilité	Temps réel	Fiabilité Sécurité	Conso- mmation	Pérennité Evolutivité	Intelligence embarquée	Stockage
Energy harvesting				X	X		
Reconfigurabilité	X	X	X	X	X	X	X
Virtualisation	X	X					
Simulation			X	X			
Auto-test			X		X	X	
Intégration	X	X		X		X	X
Agilité spectrale	X	X		X	X	X	

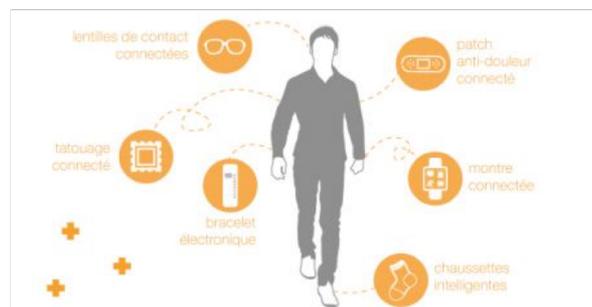


Atelier défis sociétaux :
Mobilité et Transport
Santé et Bien-être
Energie et environnement
Sécurité numérique

20 Mai 2015



Contexte
Objets connectés



Comment définir la spécificité médicale [santé et bien-être]
pour identifier les verrous scientifiques et technique



Liste des enjeux – enjeux 1

Fiabilité de la fonction de vie de l'objet

- Sécurité
- Biocompatibilité
- Sûreté de fonctionnement
- Adaptabilité technologique dans le temps
- Adaptabilité fonctionnelle au patient



Liste des enjeux – enjeux 2

Robustesse de la transmission

- Sécurité de transmission
- Protocoles de communication
 - Interopérabilité
 - Obsolescence
- Communication à travers le corps humain
- Intégrité des données



Liste des enjeux – enjeux 3

Gestion de l'énergie

- Autonomie
- Récupération énergie
- Consommation



Liste des enjeux – enjeux 4

Interaction avec l'homme

- Acceptation du dispositif
- Adhésion au protocole
- Déterminer le grandeurs d'influence
- Validité de la mesure
- Collecte des données
- Connexions SHS, médecin
- Impact objet sur l'homme



Liste des enjeux – enjeux 5

Traitement et Interprétation des données

- Plurimedicalité
- Fusions des données [capteurs]
- Interprétation
- Traitement Adaptatif
- Intelligence



Liste des enjeux – enjeux 6

Impact de l'objet

- Eco-compatibilité
- Coût Financier sur le Système Santé
- Impact Politique Santé



Liste des enjeux – enjeux 7

Modélisation Simulation

indisponible au Banc de
test

- Complexité de l'humain
- Interaction avec Cliniciens,
Biologistes



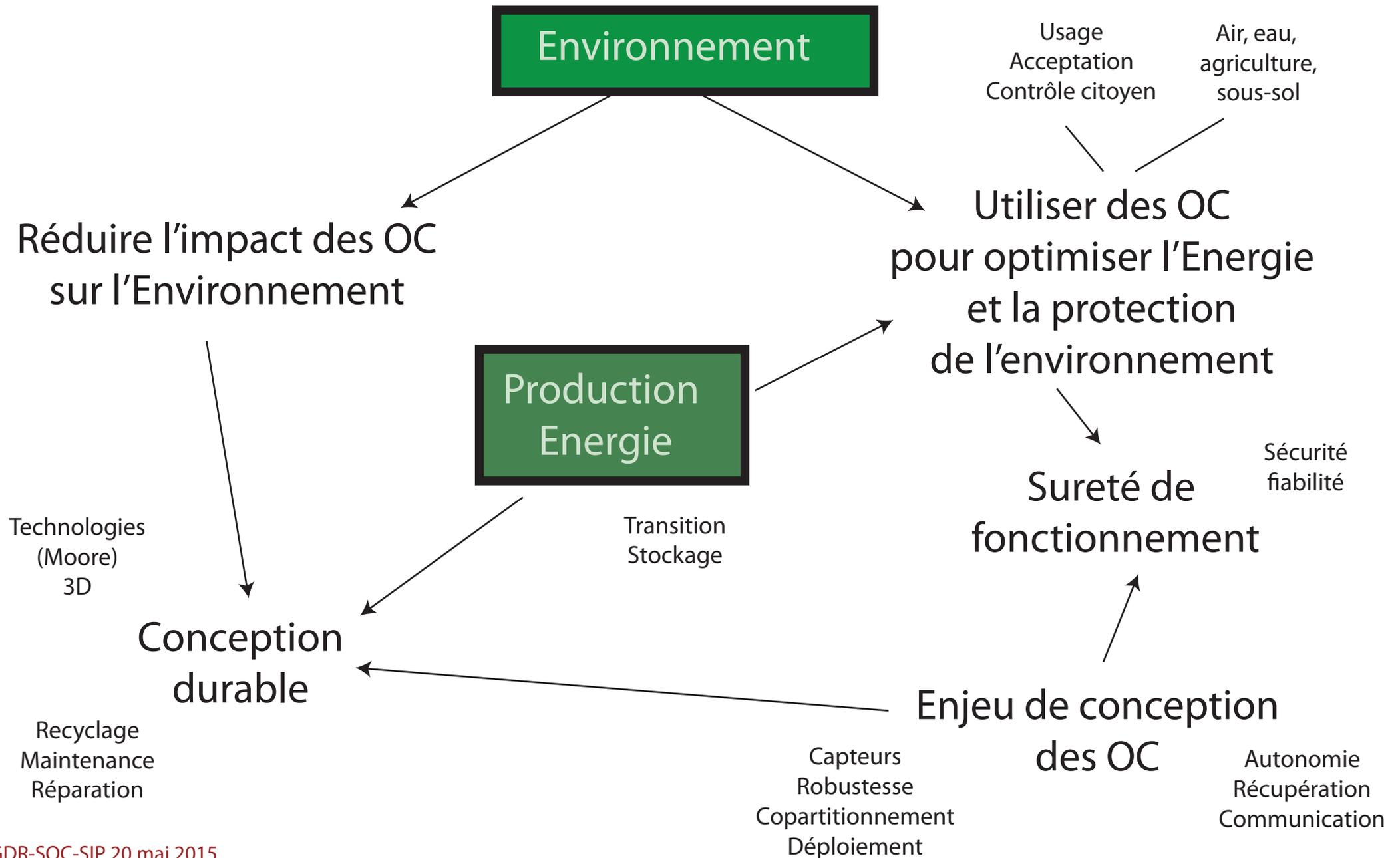
Commentaires de l'atelier

- Quels sont vos commentaires sur le déroulement et les résultats de l'atelier ?

.....grâce aux incursions de Patrick dans l'atelier nous n'avons pas pu aller à la plage et profiter du soleil [bien-être]



Atelier «Energie-Environnement»



Atelier défis sociétaux : Sécurité Numérique

Guy Gogniat, Arnaud Tisserand, Philippe Coussy, Sebastien
Faucou, Yannick Bornat, Dominique Borrione, Lionel Torres

LA SECURITE DANS TOUS LES DEFIS

20 Mai 2015



... la Sécurité...

Un hacker insultait un bébé via moniteur

PIRATAGE — De
à Heu
da

Caméras IP : faille du voyeur comblée
Le mercredi 08 Février 2012 à 17:15 par Jérôme G. | 4 commentaire(s)



**Vos appareils connectés n'ont jamais été
aussi vulnérables**

Vie privée

Par Fabien Soyez | vendredi

1 commentaire

Attention, votre "smart TV" est plus vulnérable que votre smartphone ou que votre PC. Pour les experts en sécurité, une télévision connectée est même "la cible parfaite" pour un pirate souhaitant espionner son prochain...



Objets Connectés et sécurité numérique

- **Traçabilité des objets**
 - + Identifier
 - + certifier
 - + Lutter contre la contrefaçon

- **Protection (Confidentialité/intégrité) des données**
 - + externalisation des données, (cloud à la mémoire embarquée)
 - + Usage des données
 - + Disponibilités des données et autorisation d'accès

- **Anonymisation des données**

- **Lutte contre la Cybercriminalité**
 - + Source d'informations potentielles (malveillant)
 - + Détourner les objets
 - + Capter/détourner l'information



Objets Connectés et sécurité numérique

- **Objets connectés de "confiance"**
 - + Spécification/Conception intégrant la sécurité
 - + Définition des scénarios
 - + Norme – Standard

- **Formation – Education**
 - + Informer, et éduquer sur les risques (et avantages)

- **Les objets au service de la sécurité**
 - + Sécurité des biens et des services !
 - + Surveillance "distribuée"



Enjeux/Verrous SoC/SiP

- **Conception de Composants matériels de confiance**
 - + Adéquation algorithme – implantation pour la crypto
 - + Primitives cryptographiques
 - + Light Crypto, Conso, performances
 - + Nouvelles technologies

- **Flot de conception spécifique pour la sécurité (Peu abordé)**
 - + Spécification
 - + Simulation, vérification
 - + Normes, standards
 - + Automatisation
 - + Co-conception logiciel/matériels

- **Méthodes d'évaluation de la robustesse de circuits/systèmes**
 - + Attaques
 - + Contremesures
 - + Métriques

- **Modélisation multi-échelles**
 - + Physique/fuite
 - + Logique & Architecture
 - + Système



Enjeux/Verrous SoC/SiP

- **Méthodes d'Authentification et d'Identification d'un circuit/système (Peu abordé)**
 - + PUF
 - + Protection IP
 - + Certification des composants
 - + Intégrité des composants

- **Architecture SoC/SiP sécurisés**
 - + Réseau sur silicium Sécurisé
 - + Pare-feu sécurisés
 - + Gestion mémoire et flux données

- **Réseaux de capteurs sécurisés**
 - + Protocoles
 - + Systèmes distribués





GdR SoC²

System On Chip, Systèmes embarqués et Objets Connectés



2016 : Colloque nationale du GdR SoC-SiP, Nantes

Dates : 9-11 juin 2016

Lieu : IETR et LS2N / Université de Nantes

COLLOQUE NATIONAL du GDR SOC-SIP

8- 10 juin 2016

Campus Lombarderie
Université de Nantes
-Nantes-



Comité d'organisation

Sandrine Charlier (IETR, Nantes)
Sébastien Faucou (IRCCyN, Nantes)
Hartmut Gundel (IETR, Nantes)
Sébastien Pillement (IETR, Nantes) - Président

Direction du GDR

Patrick Garda (LIP6, Paris)
Ian O'Connor (INL, Lyon)
Patrick Girard (LIRMM, Montpellier)

Comité de pilotage du GDR

Cécile Belleudy (I3S, Nice)
Mounir Benabdenbi (TIMA, Grenoble)
Serge Bernard (LIRMM, Montpellier)
Lilian Bossuet (Hubert-Curien, Saint-Etienne)
Philippe Coussy (Lab-STICC, Lorient)
Nathalie Deltimple (IMS, Bordeaux)
Patricia Desgreys (LTCl, Paris)
Sébastien Faucou (IRCCyN, Nantes)
Marie-Lise Flottes (LIRMM, Montpellier)
Laurent George (LIGM, Paris)
Guy Gogniat (Lab-STICC, Lorient)
Bertrand Granado (LIP6, Paris)

Luc Hébrard (ICube, Strasbourg)
Jacques-Olivier Klein (IEF, Paris)
Marie-Minerve Louerat (LIP6, Paris)
Christell Maneux (IMS, Bordeaux)
Katell Morin-Allory (TIMA, Grenoble)
Sébastien Pillement (IETR, Nantes)
Sylvie Renaud (IMS, Bordeaux)
Michel Renovell (LIRMM, Montpellier)
Olivier Romain (ETIS, Cergy-Pontoise)
Olivier Sentieys (IRISA, Lannion)
Lionel Torres (LIRMM, Montpellier)
Franck Wajsburt (LIP6, Paris)



PROGRAMME

Mercredi 8 juin

10h-11h : Ouverture

10h – 10h30	Ouverture	P. GARDA, I. O'CONNOR
10h30 – 10h45	Bienvenue	
10h45-11h	Organisation du colloque	S. PILLEMENT, S. FAUCOU

11h-12h : Session Exposé E1

11h00-11h45	An introduction to relay attacks and countermeasures	G. AVOINE (IRISA)
11h45-12h30	GDR Biocomp : Présentation et interaction	S. SAIGHI (Université de Bordeaux)

12h30-14h00 : Repas

Restaurant Universitaire de la Lombarderie

14h00-15h00 : Session Keynote K1

Usine du futur : vision et positionnement de l'IRT Jules Verne	Stéphane CASSEREAU (Directeur Général IRT Jules Verne)
--	---

15h00-16h00 : Session Poster P1

Dispositifs Émergents et Systèmes Cyber-Physiques

- **Linear Regulation for Low Settling Time of High-Precision Current Mirrors;** Mohan Julien, Guy Cathebras and Serge Bernard.
- **Echantillonnage comprimé pour les signaux astrophysiques;** Yosra Gargouri, Hervé Petit, Patick Loumeau, Baptiste Cecconi and Patricia Desgreys.
- **Récupération d'énergie dans la bande RFID UHF pour capteurs connectés;** Ahcine Safraou.
- **FPGA based Visible Light Communication transmitter PHY layer Implementation;** Yuan Tian and Xun Zhang.
- **Théorie des oscillateurs verrouillés par injection;** Raphael Guillaume, Andreia Cathelin and Yann Deval.
- **Lab-on-a-chip Bearing a Micro-fluidic Transistor for Surface State Biasing;** Qiongdí Zhang, Ming Zhang, Antoine Pallandre, Lyas Djeghlaf and Anne-Marie Haghiri-Gosnet.
- **Design of a Programmable Smart Image Sensor for Embedded Applications;** Juliette Le Hir, Anthony Kolar and Filipe Vinci Dos Santos.
- **Impact of the Power-Clock Network on Adiabatic Logic;** Nicolas Jeannot, Aida Todri-Sanial, Gaël Pillonnet, Hervé Fanet and Pascal Nouet.
- **Design of 2.5 GHz Integrated Graphene RF Power Amplifiers;** Tony Hanna, Nathalie Deltimple and Sebastien Fregonese.

- **Stochastic Synapses with Spin-Transfer Torque Magnetic Tunnel Junctions**; Adrien F. Vincent, Nicolas Locatelli, Jérôme Larroque, Jacques-Olivier Klein, Weisheng Zhao, Sylvie Galdin-Retailleau and Damien Querlioz.
- **Generic Synchronizer Model for Clock Domain Crossing Static Verification**; Mejid Kebaili.
- **Gestion de la consommation d'un ONoC intégré dans un MPSoC**; Van Dung Pham, Daniel Chillet, Cédric Killian, Sébastien Le Beux, Ian O'Connor and Olivier Sentieys.
- **Modélisation et Performances du RFNoC**; Lounis Zeroul, Emmanuelle Bourdel and Myriam Ariaudo.
- **Crosstalk noise aware wavelength allocation in WDM 3D ONoC**; Jiating Luo, Daniel Chillet, Cédric Killian, Sébastien Le Beux, Ian O'Connor and Olivier Sentieys.
- **Cross-Level Power Estimation to Improve High-Level Power Characterization**; Alejandro Nocua Cifuentes, Arnaud Virazel, Alberto Bosio and Patrick Girard.
- **Direct Electro-Thermo-Mechanical Simulation of Integrated Circuits with Spectre**; Maroua Garci, Jean-Baptiste Kammerer and Luc Hebrard.
- **Four-phase bi-current spinning current on shallow vertical Hall sensor**; Laurent Osberger, Vincent Frick and Luc Hebrard.
- **Magnetic Memory for a New Generation of Non-Volatile Devices**; Odilia Coi, Frederic Ouattara, Sophiane Senni, Gilles Sassatelli, Abdoulaye Gamatié, Pascal Benoit and Lionel Torres.
- **Clock Synchronization in Wireless Sensor Networks**; Habib Aissaoua, Ahcène Bounceur, Makhoul Aliouat and Reinhardt Euler.
- **Millimeter-Wave Radio: 60 GHz CMOS Power Amplifier and Design Challenges**; Nuraishah Sarimin and Rahma Abdaoui.
- **Modulation Scheme in Visible Light Communication**; Xun Zhang and Sanchi Kansra.

16h00-17h30 : Session Exposé E2

16h00-16h45	Early System Failure Prediction by Using Aging In Situ Monitors: Methodology of Implementation and Application Results	L. ANGHEL (TIMA)
16h45-17h30	L'offre de services CMP aujourd'hui, vos besoins pour demain	J.-C. CRÉBIER (Directeur du CMP)

17h30-19h 30 : Session démo et Apéritif « découverte des produits régionaux »

- **Démonstration de la plateforme CorteXlab** - T. Risset (CITI, INRIA)
- **CupCarbon: A New Platform for Designing and Simulating Smart-City Wireless Sensor Networks** - A. Bounceur (Lab-STICC, Université de Bretagne Occidentale)
- **Virtualized FPGAs in a Cloud Datacenter** - Mohamad NAJEM (Lab-STICC, Université de Bretagne Occidentale)
- **Zyggie: Wireless Sensor Node prototype for tracking and gesture recognition** - Antoine COURTAY (IRISA, Université de Rennes 1)

9h-10h : Session Keynote K2

Les barcamps du GDR

Cécile BELLEUDY (I3S), Patrick GARDA (LiP6),
Laurent GEORGE (LIGM)

10h-11h : Session Poster P2

Défis Sociétaux

- **Protocoles de communication faibles latences et faibles consommations à base de wake-up radio**; Faycal Ait Aoudia, Matthieu Gautier and Olivier Berder.
- **Dynamic Distributed Programming on Reconfigurable IP-Based Smart Sensor Networks**; Xuan Sang Le, Luc Fabresse, Jannik Laval, Jean-Christophe Le Lann, Noury Bouraqadi and Loic Lagadec.
- **Integration of OFDM-based Communication System in CupCarbon Simulator**; Umber Noreen, Ahcene Bounceur and Laurent Clavier.
- **Efficient Wireless Sensor Networks For Fire Detection**; Massinissa Saoudi, Ahcène Bounceur, Reinhardt Euler and Tahar Kechadi.
- **A Survey of RF-Propagation Models for Wireless Sensor Networks for Smart City Applications**; Taha Alwajeeh, Pierre Combeau, Ahcene Bounceur and Rodolph Vauzelle.
- **Système de commutation de sources d'énergie pour capteurs sans-fil**; Philip-Dylan Gleonec, Jeremy Ardouin, Matthieu Gautier and Olivier Berder.
- **A New EEG Signal Compression Scheme Based on ICA and Waaves Coder**; Imen Dhif, Khalil Hachicha, Andrea Pinna, Sylvain Hochberg and Patrick Garda.
- **Study of Applying Logarithmic DWT for Medical Images Compression**; Mohammed Shaaban Ibraheem, Sayed Zahid Ahmed, Khalil Hachicha, Imen Mhedbi, Sylvain Hochberg and Patrick Garda.
- **Circuits intégrés de stimulation et de surveillance de l'interface tissu/implant**; Jonathan Castelli, Noëlle Lewis and Sylvie Renaud.
- **Système pour l'analyse temps réel et multicanaux de signaux pancréatiques**; Antoine Pirog and Romain Perrier.
- **Architecture d'un détecteur MIMO souple basé sur l'algorithme de propagation de croyance**; Ali Haroun, Charbel Abdel Nour, Matthieu Arzel and Christophe Jego.
- **Personalized Sleep Staging System by combining Symbolic Fusion and Feedback System Control**; Chen Chen, Adrien Ugon, Xun Zhang, Amara Amara, Patrick Garda, Jean-Gabriel Ganascia, Carole Philippe and Andrea Pinna.
- **Design of an implantable device for in-vivo monitoring of fish physiological parameters**; Achraf Lamlih, Vincent Kerzérho, Mariane Comte, Fabien Soulier, Serge Bernard, Michel Renovell, Tristan Rouyer and Sylvain Bonhommeau.
- **Potentiality of a Bi-directional System Based on 60GHz and VLC Technologies for E-health Applications**; Fanfan Xu, Rahma Abodaoui and Xun Zhang.
- **SpinalCOM: Ambulatory monitoring of the Spinal Cord**; Olivier Tsiakaka, Mehdi Terosiet, Olivier Romain, Habib Benali, Veronique Marchand, Pierre-François Pradat and Sylvain Feruglio.
- **Une Architecture FPGA de « Channelization » Pratique pour la Norme Radio DRM30**; Brunel Happi Tietche and Olivier Romain.

- **Un format de fichier pour l'examen vidéo-EEG**; Laurent Lambert, Andrea Pinna, Hachicha Khalil and Patrick Garda.
- **Système de Détection des émotions : architecture et autonomie**; Kone Chaka, Cecile Belleudy and Nhan Le-Thanh.
- **Parallel Modeling of Energy Consumption in Wireless Sensor Networks**; Massinissa Lounis, Ahcène Bounceur, Bernard Pottier and Reinhardt Euler.
- **A Dynamic Multipath Routing Algorithm for Energy Balancing in WSNs**; Abdelkader Laouid, Ahcene Bounceur, Abdelnasser Dahmani and Abdelkamel Tari.
- **Wireless and Portable System for Electric Cell Substrate Impedance Spectroscopy**; Edwin De Roux, Mehdi Terosiet, Olivier Romain, Aymeric Histace, Michel Boissiere and Emmanuel Pauthe.
- **A Novel Wireless Vision Sensor Network node for Patient Rehabilitation Application**; Monaem Idoudi, El-Bay Bourennane and Khaled Grayaa.
- **Energy optimization of D2D communications using relay nodes and data entropy**; Romain Chevillon, Jean-François Diouris and Guillaume Andrieux.

11h-12h30 : Session Exposé E3

11h00-11h45	It is time for Effective Value Prediction Implementation	A. SEZNEC, (INRIA Rennes)
11h45-12h30	Ultra low energy DSP, synonym of ultra low voltage DSP?	W. DEHAENE (KU Leuven , Belgique)

12h30-14h00 : Repas

Restaurant Universitaire de la Lombarderie

14h00-15h00 : Session Keynote K3

AG du GDR	I. O'CONNOR (INL), P. GARDA (LiP 6)
-----------	-------------------------------------

15h00-16h00 : Session Poster P3

Confiance Matérielle

- **A portable approach for SoC-based Dynamic Information Flow Tracking implementations**; Muhammad Abdul Wahab, Pascal Cotret, Mounir Nasr Allah, Guillaume Hiet, Vianney Lapotre and Guy Gogniat.
- **Détection et Prévention des chevaux de Troie matériels par des Méthodes Orientées Test Logique**; Papa-Sidy Ba, Sophie Dupuis, Marie-Lise Flottes, Giorgio Di Natale and Bruno Rouzeyre.
- **Comparative study of Bulk, FDSOI and FinFET technologies in presence of a resistive short defect.**; Amit Karel, Mariane Comte, Jean-Marc Galliere, Florence Azais and Michel Renovell.
- **Key reconciliation protocol application to error correction in silicon PUF responses**; Brice Colombier, Lilian Bossuet, David Hely and Viktor Fischer.

- ***A Homomorphic Encryption Analysis and Prototyping Tool***; Cyrielle Feron, Loïc Lagadec and Vianney Lapotre.
- ***Reliable GPS position on an unreliable hardware***; Mohamed Mourad Hafidhi and Emmanuel Boutillon.
- ***A comparison of PUF cores suitable for FPGA devices***; Ugo Mureddu, Lilian Bossuet and Viktor Fischer.
- ***Exploring the Impact of Functional Test Programs Re-Used for At-Speed Testing***; Aymen Touati, Alberto Bosio, Patrick Girard and Arnaud Virazel.
- ***Multi-level Fault Injection Modeling and Simulation for FPGA***; Jean-Philippe Schneider and Loïc Lagadec.
- ***Plateforme matérielle-logicielle à bas coût pour l'émulation de fautes***; Pierre Guilloux and Arnaud Tisserand.
- ***Implémentation matérielle d'un dispositif de vérification en ligne sur un SoPC***; Dimitry Solet, Sebastien Pillement, Mikaël Briday, Jean-Luc Bechenec and Sebastien Faucou.
- ***A New Watermarking Approach for Wireless Sensor Networks***; Farid Lalem, Ahcène Bounceur, Reinhardt Euler and Rahim Kacimi.
- ***Energy Efficient Approach for Wireless Sensor Networks Dedicated to Surveillance***; Ali Benzerbadj, Kechar Bouabdellah and Ahcene Bounceur.
- ***Abstraction de codes binaires pour le calcul de borne sur leur pire temps d'exécution***; Armel Mangean, Jean-Luc Béchenec and Sébastien Faucou.
- ***Calcul paramétrique de pire temps d'exécution (WCET)***; Clément Ballabriga.
- ***PICS Project: Self-Adaptive HW/SW Architecture for Unmanned Aerial Vehicles (UAVs)***; Sara Zermani.
- ***Vers la rémanence des circuits imprimés électroniques: étude de cas de la solution CIRCUM***; Youssef Mehdi, Navarro David, Serraféro Patrick and Frachon Maxime.
- ***Test and Characterization Methodologies for FDSOI Technology***; Darayus Adil Patel, Sylvie Naudet, Arnaud Virazel, Alberto Bosio and Patrick Girard.
- ***Actuator Sensor Securing over Industrial Network***; Thomas Toubanc, Vianney Lapotre, Florent Lamotte and Pascal Berruet.
- ***Investigation of Reliability and Performance for STT-MRAM under PVT Variations***; Liuyang Zhang, Yuanqing Cheng, Wang Kang, Youguang Zhang, Lionel Torres, Weisheng Zhao and Aida Todri-Sanial.
- ***Conclusive Formal Verification of Clock Domain Crossing Properties***; Guillaume Plassan.

16h30-19h00 : Le voyage à Nantes

« L'ESPRIT DU VOYAGE », « Visiter une ville, ce n'est pas seulement marcher avec une carte, c'est aussi observer les mouvements et écouter les rumeurs. » Jean Blaise.

Visite de la ville avec les médiateurs du "voyage à Nantes". Rendez-vous à 16h45 au miroir d'eau (tram ligne 1, arrêt Bouffay)

19h : Dîner de Gala

9h00-10h00 : Session Keynote K4

Survivre au CNU

S. PILLEMENT (IETR), I. O'CONNOR (INL),
F. PÉTROT (TIMA)

10h30-11h30 : Session Poster P4

Architectures et Logiciels Embarqués

- ***A collision management structure for NoC on multi-FPGA***; Atef Dorai, Virginie Fresse, El-Bay Bourennane and Abdellatif Mtibaa.
- ***Deterministic scheduling in Networks-on-Chip using the Trajectory approach***; Ermis Papastefanakis, Xiaoting Li and Laurent George.
- ***Amélioration des performances des mémoires associatives par les réseaux à clones***; Hugues Gérard Nono Wouafo, Cyrille Chavet and Philippe Coussy.
- ***Modélisation et Analyse de l'Efficacité de Supercalculateurs HPC basés sur l'ISA ARMv8 64-bit***; Joel Wanza Weloli, Sébastien Bilavarn, Said Derradji, Cécile Belleudy and Sylvie Lesmanne.
- ***Optimal Sizing of Generalized Memory Polynomial Model Structure Based on Hill-Climbing Heuristic***; Siqi Wang, Mazen Abi Hussein, Olivier Venard and Geneviève Baudoin.
- ***La synthèse de haut niveau au service du changement de contexte matériel***; Alban Bourge, Olivier Muller and Frédéric Rousseau.
- ***An SNMP-inspired platform for NoC emulation on FPGA***; Otavio Alcantara De Lima, Virginie Fresse and Frédéric Rousseau.
- ***Gestion spécifique des données en lecture seule dans la hiérarchie mémoire pour une réduction de la consommation***; Grégory Vaumourin, Alexandre Guerre, Thomas Dombek and Denis Barthou.
- ***NUMA Profiling for Dynamic Dataflow Applications***; Manuel Selva, Kevin Marquet, Lionel Morel, Junaid Jameel Ahmad and Marco Mattavelli.
- ***Overlay Architectures For FPGA Resource Virtualization***; Théotime Bollengier, Mohamad Najem, Jean-Christophe Le Lann and Loic Lagadec.
- ***FPGAs in the Cloud: a Hybrid hardware/software Framework***; Mohamad Najem, Théotime Bollengier, Jean Christophe Le Lann and Loic Lagadec.
- ***NoC based virtualized accelerators as cloud services***; Hiliwi Leake Kidane and El-Bay Bourennane.
- ***Adaptive Power Monitoring For Self-Aware Embedded Systems***; Mohamad El Ahmad, Pascal Benoit, Gilles Sassatelli and Lionel Torres.
- ***Memory profiling of dynamic dataflow programs***; Simone Casale Brunet, Małgorzata Michalska, Junaid Jameel Ahmad, Marco Mattavelli, Manuel Selva, Kevin Marquet and Lionel Morel.
- ***A Hardware Design of a Scalable Systolic Self-Organizing Map Using a Network on Chip***; Mehdi Abadi, Slavisa Jovanovic, Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui.
- ***Fully Pipelined Real Time Architecture for High Efficiency Video Coding (HEVC) Intra Prediction***; Farouk Amish and El-Bay Bourennane.
- ***Vers une architecture générique temps réel d'un système de triangulation laser sur FPGA***; Seher Colak, Emmanuel Dumas, Virginie Fresse and Olivier Alata.

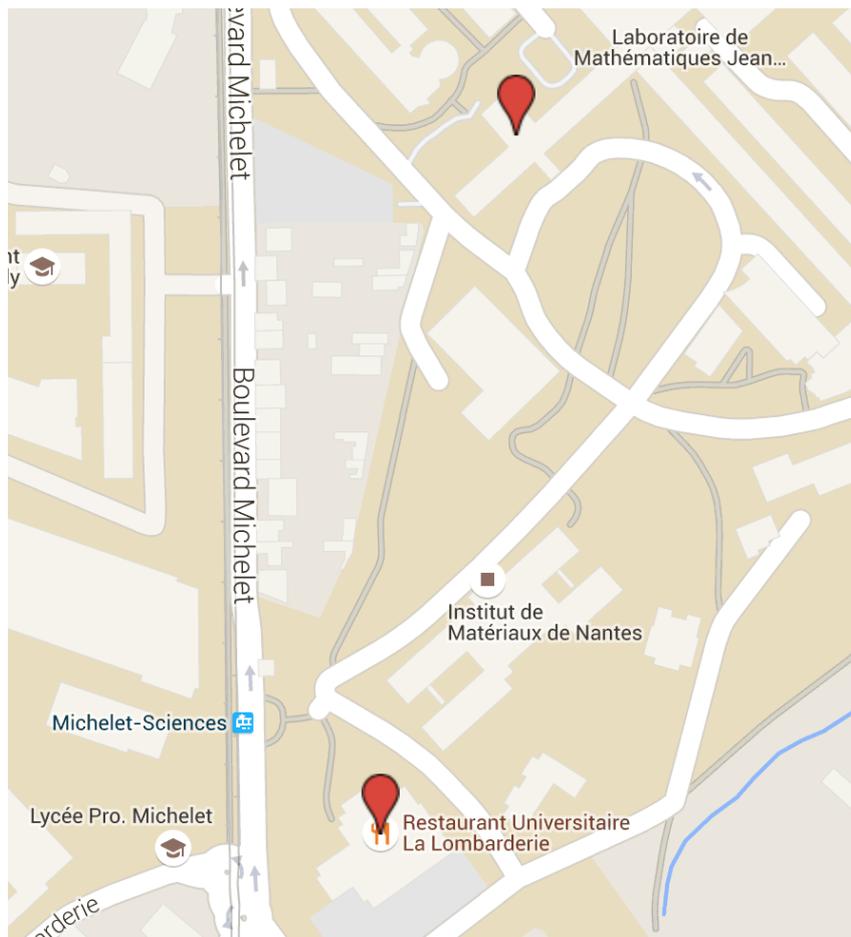
- **SLP-aware Word Length Optimization**; Ali Hassan El Moussawi and Steven Derrien.
- **Adapting a Fixed Priority Assignment Algorithm to Real-time Embedded Systems with Cache Memory**; Hai Nam Tran, Stéphane Rubini, Frank Singhoff and Jalil Boukhobza.
- **Distribution of Real-Time Software on Multi-Core Architectures in Automotive Systems**; Wenhao Wang, Benoît Miramond, Sylvain Cotard, Fabrice Gravez and Yael Chambrin.
- **Rapid and Flexible Power Estimation of FPGA-based Wireless Base-band Processing**; Jordane Lorandel, Jean-Christophe Prévotet and Maryline Hérald.
- **Transparent Dynamic Management of Reconfigurable Accelerators in Virtualization Technology**; Tian Xia, Jean-Christophe Prévotet and Fabienne Nouvel.

11h-12h30 : Session Exposé E4

11h00-11h45	System-In-Package with embedded System-On-Chip for Remote Monitoring of Human Metabolism	S. CARRARA (EPFL, Suisse)
11h45-12h30	Réalité virtuelle, réalité augmentée et wearable computing : les enjeux sociaux de la perception "hybridée"	M. DERIAN (ISCC, CNRS)

12h30-13h00 - Bilan et Clôture

Restauration de midi : RU Lombarderie



Découverte des produits régionaux

Produits du château de la Cassemichère. Sur le lieu du colloque. Trois vins en dégustation en plus de soft et eaux minérales :



1. Rêve d'automne, vendange tardive, légèrement sucré
2. Muscadet Sèvre et Maine sur lie Château Cassemichère 2010
3. Muscadet Sèvre et Maine cuvée « 1601 » Château Cassemichère 2010



L'esprit du voyage

Rendez-vous à 16h45 au miroir d'eau (en face du château des Ducs de Bretagne, tram ligne 1, arrêt Bouffay), pour une visite insolite de la ville et de ses curiosités.



Dîner de Gala

Les Fonderies (02 40 05 19 22)

25 Bd Vincent Gâche, 1 pl des fonderies, 44200 Nantes

Le restaurant se trouve dans le Jardin des Fonderies, sur l'île de Nantes (Tramway ligne 2 et 3, arrêt Vincent Gâche).



	1er jour	2ème jour	3ème jour
9h-10h	Accueil	Retour sur les barcamps	Survivre au CNU
10h-11h	Ouverture	Défis sociétaux	Archi et Log. Emb.
11h-11h45	Gildas Avoine	André Seznec	Sandro Carrara
11h45-12h30	Sylvain Saighi	Wim Dehaene	Maxime Derian
12h30-13h	Repas	Repas	Bilan et clôture
13h-14h			
14h-15h	Stéphane Cassereau	Ag du GDR	
15h-16h	DESCP	Confiance	
16h 16h45	Lorena Anghel		
16h45-17h30	Jean-Christophe Crébier	Visite de Nantes	
17h30-18h	pitch Démo		
18h-19h30	Démo et découverte des produits		
19h-21h		Dîner de gala	



Annexe 2 : Classement des publications

Classement des revues et des conférences dans le domaine des systèmes sur puce

Document du 30 novembre 2014



**Classement des revues et des conférences
dans le domaine des systèmes sur puce**

Document du 30 novembre 2014

Introduction

Ce document a pour objectif d'apporter un éclairage sur le contexte des publications dans le domaine de la conception des systèmes sur puce (SoC), en répertoriant et en classant les principales revues et conférences du domaine.

Le domaine des systèmes sur puce est en effet relativement récent, se situant à la frontière des disciplines traditionnelles de l'électronique, l'informatique, la physique et les mathématiques. De plus, il est fortement caractérisé par une évolution permanente pour traiter les problématiques issues des secteurs d'application très variés et dont le spectre est en constante augmentation, en suivant le niveau d'intégration et le niveau de complexité des systèmes sur puce. L'importance des enjeux socio-économiques conduit à une association très poussée entre les mondes académique et industriel, et par conséquent à un contexte de valorisation scientifique complexe. D'une part, l'originalité d'une approche à elle seule ne suffit pas pour entrer dans les critères de recevabilité à la fois scientifiques et pragmatiques des plus grands journaux et conférences ; il est nécessaire de démontrer et de quantifier les améliorations obtenues au niveau des performances par rapport à l'état de l'art, ainsi que l'applicabilité de l'approche dans le contexte des technologies couramment utilisées. D'autre part, les étroites collaborations avec les acteurs industriels peuvent conduire à une politique de protection de propriété intellectuelle incompatible avec une politique agressive de valorisation scientifique publique. Ainsi la recherche dans ce domaine est orientée plutôt vers une recherche expérimentale et appliquée plutôt que vers une recherche amont.

Ces caractéristiques spécifiques sont souvent peu comprises en dehors du domaine, une situation qui peut conduire à des erreurs d'appréciation sur l'effort de recherche à sa juste valeur des acteurs du domaine, en particulier dans des contextes où les sciences et les techniques de l'information n'occupent pas une place forte. Le GDR SoC-SiP (System on Chip – System in Package), réunissant plus de 600 personnes en France, s'est saisi de la question pour établir une liste des principales publications (revues et conférences) avec leur classement en A et B. Cette liste a été compilée et consolidée par Patrick Girard (DR CNRS) et Olivier Sentieys (DR INRIA), sur la base des classements effectués en amont des évaluations AERES des plus gros laboratoires relevant de ce GDR. Cette liste et ce document ont ensuite été mis en forme par Ian O'Connor et finalisés par le Comité de Pilotage du GDR.

La dimension quantitative, que ce soit pour les revues avec la prise en compte d'indicateurs tels que le facteur d'impact (IF) ou le h-index (Google Scholar), ou pour les conférences avec le taux d'acceptation (sélectivité), le h-index (Google Scholar) ou l'audience (incontournabilité), a été combinée avec la dimension qualitative en faisant appel à l'expertise et à la connaissance des revues et des conférences par l'ensemble des membres du comité de pilotage du GDR SoC-SiP. En effet, même si l'on observe généralement une forte corrélation entre les informations données par les indicateurs bibliométriques et la réalité en ce qui concerne la qualité d'une revue ou d'une conférence, plusieurs analyses portant sur ces indicateurs dénoncent leurs limites, les principales étant que ces indicateurs sont compilés avec des outils logiciels (ISI Web of Knowledge, Scopus, Harzing, Google Scholar, etc.) encore imparfaits et avec une couverture parfois faible de certains domaines, qu'ils pénalisent les revues ou conférences jeunes et en devenir, ainsi que les domaines émergents.

Pour les revues, cette évaluation doit permettre de déterminer un classement de l'impact, tout en dissociant les revues au cœur du domaine SoC-SiP des revues dans des domaines connexes. L'impact d'une revue tient à sa qualité, à sa notoriété mais qualifie aussi sa capacité à présenter des travaux du plus haut niveau scientifique, les plus innovants, les plus fondateurs, les plus "opinion leaders" ou qui font sauter des verrous scientifiques. Par ailleurs, il est avéré que la communauté SoC-SiP française participe très activement à de nombreuses conférences internationales avec actes et comité de lecture, comme cela est souvent le cas en informatique. Certaines de ces conférences sont très sélectives, avec des taux d'acceptation équivalents voire plus faibles que ceux des meilleures revues. L'impact des publications y est donc souvent proche de celui des articles de revue internationale, la préférence des chercheurs pour ce média s'expliquant par des délais plus courts de relecture et par le fait que la présence à ces événements est devenue quasiment incontournable. Une démarche analogue à celle des revues est donc proposée pour les conférences internationales.

Ce document a donc une vocation publique, dont les objectifs sont principalement :

- de fournir aux chercheurs, et en particulier aux plus jeunes, un guide pour les aider dans leur stratégie de publication, en indiquant les revues et conférences stratégiquement les plus pertinentes en termes d'évaluation ;
- de fournir à la direction des départements INS2I et INSIS du CNRS un outil pour faciliter ses évaluations internes et le dialogue avec les autres communautés ;
- d'aider les différents comités scientifiques, nationaux (CoNRS, CNU, AERES), régionaux et locaux, dans leur évaluation des chercheurs et enseignants-chercheurs menant leur recherche dans le domaine SoC-SiP.

Sur ce dernier point, les rédacteurs de cette note insistent sur le fait que l'évaluation des chercheurs doit être conduite par des experts compétents et indépendants. Ils sont bien conscients des limites de l'exercice, notamment en ce qui concerne l'impossibilité de construire une liste pérenne et exhaustive, mais ils espèrent que cette note apportera un éclairage complémentaire sur la qualité de la production scientifique d'un chercheur dans le domaine SoC-SiP.

Méthodologie

Ce document propose plusieurs listes de revues internationales à comité de lecture et de conférences internationales avec actes et comité de lecture, connues et reconnues par la communauté scientifique française du domaine SoC-SiP.

Pour les **revues**, deux listes ont été établies :

- les **Revues Internationales à Comité de Lecture (RICL) d'excellent niveau**, qui ont en général un IF supérieur à 1, et qui sont jugées comme ayant un impact majeur ;
- les **RICL de bon niveau**, qui ont un IF inférieur à 1, mais qui sont jugées comme ayant un impact significatif.

Toutes ces revues ont bien sûr un éditeur reconnu et un numéro ISSN. Par ailleurs, dans chacune des listes, les revues qui relèvent purement du domaine SoC-SiP ont été séparées de celles qui relèvent de domaines connexes (e.g. traitement du signal, communications numériques, cryptographie) , représentant la variété des domaines servant à la construction des SoC-SiP ainsi que la diversité des applications les utilisant. Néanmoins, il faut signaler le caractère forcément incomplet de ces listes, et noter que la liste des revues de ces domaines connexes n'est pas exhaustive. Il faut noter que la liste des revues de ces domaines connexes n'est pas exhaustive. Enfin, quelques revues récentes, sans facteur d'impact mais considérées comme ayant un fort potentiel, ont été recensées et reportées dans la deuxième liste.

Pour les **conférences**, trois listes ont été établies, en se basant principalement sur le taux d'acceptation. Le *taux d'acceptation* est égal au rapport du nombre de papiers acceptés sur le nombre de papiers soumis ; plus le taux est faible, plus la conférence peut être considérée comme sélective. Ce taux d'acceptation se base soit sur des informations obtenues directement lors de participation à des comités de programme de ces conférences, soit sur des sites référençant ces taux, généralement par domaine. Un autre critère objectif est le h-index de la conférence qui permet de mesurer les citations des articles qui y sont publiés. Un h-index élevé correspondra à une conférence ayant un fort impact dans sa communauté. Les trois listes établies sont les suivantes :

- les **Conférences Internationales avec Actes et Comité de Lecture (CIACL) de rang A+**, qui ont un taux d'acceptation inférieur à 25% et des actes publiés par un éditeur reconnu avec ISBN. Ces CIACL correspondent à des conférences extrêmement sélectives, qui peuvent être soit généralistes, soit spécialisées, et qui constituent des événements incontournables qui rythment la vie scientifique de la communauté.
- les **CIACL de rang A**, qui ont un taux d'acceptation compris entre 25% et 40%, et des actes publiés par un éditeur reconnu avec ISBN. Ces CIACL correspondent à des conférences suffisamment sélectives pour leur assurer une reconnaissance de premier plan par la communauté. Elles peuvent être soit généralistes, soit spécialisées.
- les **CIACL de rang B**, qui ont un taux d'acceptation supérieur à 40%, et des actes publiés par un éditeur reconnu avec ISBN. Ces CIACL correspondent à des conférences de bonne tenue mais moins sélectives. Elles peuvent être soit généralistes, soit spécialisées.

Comme pour les revues, dans chacune des listes, les CIACL qui relèvent purement du domaine SoC-SiP ont été séparées de celles qui relèvent de domaines connexes.

Comme indiqué en préambule, cette classification des CIACL prend en compte plusieurs données en plus du taux d'acceptation :

- *l'audience*, mais cette donnée ne peut être exploitée si elle n'est pas associée à la couverture thématique : une conférence généraliste comme DAC attire 5000 personnes, c'est-à-dire 10 à 20 fois plus qu'une conférence monothématique ;
- *le format de la conférence* (qui détermine aussi l'audience) : nombre de sessions en parallèle, durée des exposés ;
- *sa notoriété*, qui est certes un critère subjectif, et qui se construit entre autres sur la renommée scientifique des membres du comité de programme et la qualité du processus de sélection ;
- *le processus de sélection* : sur article complet avec plusieurs relectures ou sur résumé ;
- *la qualité des actes* : certaines conférences ont des processus d'évaluation proches de ceux mis en œuvre dans les revues et sélectionnent les meilleurs articles pour éditer ensuite un numéro spécial de revue ;
- *le nombre de citations d'articles* des actes d'une conférence, mais ce facteur d'impact n'est pas disponible comme celui des revues ;
- *le parrainage d'une société savante* : les conférences parrainées par certaines sociétés savantes comme IEEE, IFIP ou ACM, respectent habituellement plusieurs critères de qualité.

Observations

Pour l'ensemble des données fournies dans chaque liste, on peut observer qu'il y a une corrélation assez bonne entre IF et h-index pour les revues, et entre h-index et taux d'acceptation pour les conférences.

Toutes les listes établies devront naturellement être mises à jour régulièrement en fonction des évolutions de la discipline.

Sources Bibliographiques

Références ayant permis de relever les h-index (pour les revues et les conférences) et les IF (pour les revues)

- [1] Google scholar metrics, http://scholar.google.com/citations?view_op=search_venues&vq=iet&hl=en
 [2] SJR, <http://www.scimagojr.com/journalsearch.php>
 [3] ISI Web of Knowledge, <http://admin-router.webofknowledge.com/?DestApp=JCR>

Références permettant d'obtenir des informations sur les taux d'acceptation ou les facteurs d'impact

- [4] Big List of VLSI, Signal Processing, etc. Conferences, Journals, and Magazines, <http://www.ece.ucdavis.edu/vcl/misc/conferences.html>
 [5] Networking Conferences Statistics, <http://www.cs.ucsb.edu/~almeroth/conf/stats/>
 [6] Top Crypto and Security Conferences Ranking,
 [7] <http://icsd.i2r.a-star.edu.sg/staff/jianying/conference-ranking.html>
 [8] Computer Science Conferences - Acceptance Rates, Statistics, <http://ppadala.net/conferences>
 [9] CORE Computer Science Conference Rankings, <http://www.gianvecchio.com/tier-conf-final2007.html>

Définitions

Le *facteur d'impact* relatif, noté IF pour "impact factor", d'une revue calculé à l'année n est le ratio entre le nombre de citations durant l'année n d'articles de la revue parus dans les années $n-1$ et $n-2$ et le nombre total d'articles publiés pendant ces deux années dans cette revue.

Un scientifique a un indice h (*h-index*) si h de ses N_p articles ont chacun au moins h citations, et les autres $(N_p - h)$ articles ont au plus h citations chacun.

Une conférence ou une revue a un indice h (*h-index*) si h de ses articles sont cités au moins h fois.

Le *h5-index* d'une conférence ou une revue est le h -index des articles publiés dans les cinq dernières années, c'est à dire h articles publiés dans la période 2007-2011 et cités au moins h fois.

Intitulé Complet	Sigle	Société savante	Editeur	Ancienneté	Num/an	h5-index (scholar)	IF
Revue Internationale avec Comité de Lecture (RICL) d'excellent niveau							
Domaine SOC-SIP							
IEEE Journal of Selected Topics in Quantum Electronics		IEEE	IEEE	1995	6	38	3.466
IEEE Transactions on Biomedical Circuits and Systems	TBioCAS	IEEE	IEEE	2007	6	34	3.149
IEEE Journal of Solid State Circuits	JSSC	IEEE	IEEE	1966	12	62	3.106
IEEE Electron Device Letter	EDL	IEEE	IEEE				3.023
IEEE Transactions on Circuits and Systems: for Video Technology	TCSVT	IEEE	IEEE	1991	12	45	2.95
IEEE Transactions on Electron Devices	ED	IEEE	IEEE	1963	12	44	2.45
IEEE Transactions on Parallel and Distributed Systems	TPDS	IEEE	IEEE				2.173
IEEE Transactions of Circuits and Systems I	TCAS-I	IEEE	IEEE	1952	12	40	2.043
IEEE Sensors Journal	Sensors	IEEE	IEEE	2001	12	38	1.852
IEEE Transactions on Computers	TC	IEEE	IEEE	1968	12	33	1.608
IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	TCAD	IEEE	IEEE	1982	12	32	1.466
IEEE Transactions on Nuclear Science	TNS	IEEE	IEEE	1954	6	37	1.455
IEEE Transactions of Circuits and Systems II	TCAS-II	IEEE	IEEE	1952	12	30	1.436
IEEE Transactions on Very Large Scale Integration Systems	TVLSI	IEEE	IEEE	1993	12	28	1.37
IEEE Design and Test of Computers	D&T	IEEE	IEEE	1984	6	-	1.309
IEEE Transactions on Instrumentation and Measurement	IM	IEEE	IEEE	1963	6	29	1.098
Microelectronics Reliability	MJ		Elsevier	1962	12	27	1.066
ACM Transactions on Embedded Computing Systems	TECS	ACM	ACM	2002	4	22	1.057
EURASIP Journal on Advances in Signal Processing	JASP	EURASIP	Springer	2001	12	35	1.01
IET Electronics Letters	EL	IET	IET	1965	26	34	1.009
Autres domaines connexes (liste non exhaustive)							
IEEE Transactions on Pattern Analysis and Machine Intelligence	TPAMI	IEEE	IEEE	1979	12	85	5.308
IEEE Journal on Selected Areas in Communications	JSAC	IEEE	IEEE	1983	9	66	4.232
Journal of Neural Engineering			IOP	2004		45	3.415
Journal of the ACM	JACM	ACM	ACM	1954	12	30	3.375
Journal of Cryptology	J CRYPTOL	IACR	Springer	1988	4	28	2.675
IEEE Transactions on Signal Processing	TSP	IEEE	IEEE	1953	12	69	2.651
IEEE Transactions on Neural Networks	TNN	IEEE	IEEE	1990	12	42	2.633
Pattern Recognition	PR	PR	Elsevier	1968	12	54	2.607
ACM Transactions on Sensor Networks	TOSN	ACM	ACM	2005	5	28	2.282
IEEE Transactions on Biomedical Engineering	TBE	IEEE	IEEE	1953	12	54	2.233
Journal of Applied Physics		AIP		1931	24	75	2.185
IEEE Transactions on Wireless Communications	WC	IEEE	IEEE	2002	6	69	2.152
ACM Transactions on Mathematical Software	TOMS	ACM	ACM	1975	4	25	2.06

Machine Vision and Applications	MVA		Springer	1997	6	20	1.549
IEEE Transactions on Vehicular Technology	TVT	IEEE	IEEE	1967	9	49	1.49
IEEE Transactions on Communications	TCOM	IEEE	IEEE	1972	12	44	1.365
		Acad.					
Comptes Rendus Physique	CR PHYS	Sciences	Elsevier	2002	10	17	1.353
Signal Processing	SP	EASP	Elsevier	1979	12	35	1.351
IEEE Transactions on Components, Packaging and Manufacturing Technology	CPMT	IEEE	IEEE	1999	12	18	1.236
Digital Signal Processing	DSP		Elsevier	1991	6	25	1.22
Revue Internationale avec Comité de Lecture (RICL) de bon niveau							
Domaines SOC-SIP							
Journal of Real-Time Image processing	JRTIP		Springer	2006	4	15	0.962
ACM Journal on Emerging Technologies in Computing Systems	JETC	ACM	ACM	2005	4	11	0.838
ACM Transactions on Architecture and Code Optimization	TACO	ACM	ACM	2004	4	16	0.824
Microelectronics Journal	MJ		Elsevier	1969	12	21	0.789
Journal of Electronic Imaging	JEI	SPIE	SPIE	1992	4	15	0.709
Journal of Systems Architecture	JSA		Elsevier	1996	12	17	0.667
Integration, The VLSI Journal	IVLSI		Elsevier	1983	4	15	0.663
Journal of Computer Science and Technology	JCST		SCI. PRESS	1986	6	15	0.656
Journal of Signal Processing Systems - formely "Journal of VLSI Signal Processing"	JSPS		Springer	1989	3	17	0.623
Microprocessors and Microsystems	MICRO		Elsevier	1977	8	15	0.545
Journal of Low Power Electronics	JOLPE		American Scientific Publishers	2004	6	10	0.536
IET Circuits, Devices, and Systems	IETCDS	IET	IET	1994	6	12	0.52
International Journal of Electronics and Communications	IJEC		Elsevier	2001	12	19	0.519
ACM Transactions on Design Automation of Electronic Systems	TODAES	ACM	ACM	2008	12	19	0.484
IET Computers and Digital Techniques	IETCDT	IET	IET	1994	6	14	0.484
Analog Integrated Circuits and Signal Processing	AICSP		Springer	1991	12	14	0.452
Journal of Electronic Testing: Theory and Application	JETTA		Springer	1990	6	11	0.41
IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	IEICE T FUND		Denshi Jōhō Tsūshin Gakkai				
	ELECTR	IEICE	(Japan)	2003	12	13	0.291
EURASIP Journal on Embedded Systems	JES	EURASIP	Springer	2004	12	19	-
Revue récentes à fort potentiel							
ACM Transactions on Reconfigurable Technology and Systems	TRETS	ACM	ACM	2008	12	18	-
IEEE Embedded Systems Letters	ESL	IEEE	IEEE	2009	4	13	-
IEEE Journal on Emerging and Selected Topics in Circuits and Systems	JETCAS	IEEE	IEEE	2011	4	13	-

Frontiers in neuroscience - neuromorphic engineering			Frontiers	2010	6	35	-
Autres domaines connexes (liste non exhaustive)							
EURASIP Journal on Wireless Communications and Networking	JWCN		Hindawi	2004	12	29	0.815
IET Signal Processing	IETSP	IET	IET	2007	4	13	0.741
Annals of Telecommunications			Springer	2002	6	15	0.602
Revue non classées (impact faible)							
Domaines SOC-SIP							
Design Automation for Embedded Systems	DAES		Springer	1996	4	-	0.167
International Journal of Electrical and Electronic Engineering	IJEEE		WASET	2007	4	-	-
International Journal of Embedded Systems	IJES		Inderscience	2005	4	-	-
International Journal of Reconfigurable Computing	IJRC		Hindawi	2007		7	-
International Journal of High Performance Systems Architecture	IJHPSA		Inderscience	2007	4	-	-
Journal of Computers	JCP		Academy Publisher	2006	12	15	-
Journal of Control Engineering and Applied Informatics	CEAI	IFAC		1999	4	-	-
Journal of Cryptographic Engineering	JCEN		Springer	2011	4	-	-
Journal of Integrated Circuits and Systems	JICS		SBC	2004	2	-	-
Revue de l'Electricité et de l'Electronique	REE	SEE	SEE	1995	11	3	-
Technique et Science Informatiques	RTSI		Hermes	2001	10	6	-
Traitement du Signal	TS	GRETSI	Hermes	1984	6	5	0.078
Transactions on Systems, Signals and Devices	TSSD		Verlag	2006	4	-	-
VLSI Design			Hindawi	1993		11	-

Intitulé Complet	Sigle	Société savante	Editeur	Thème	Ancienneté	Nb participants	Nb papiers soumis	h5-index	Sélectivité
Conférences rang A+									
Domaines SOC-SIP									
IEEE/ACM Design Automation Conference	DAC	IEEE/ACM	IEEE	CAD, design		5000	650	27	23%
IEEE/ACM Design, Automation and Test in Europe Conference	DATE	IEEE/ACM	IEEE	CAD, design, test		1500	840	31	22%
IEEE/ACM International Conference on Computer Aided Design	ICCAD	IEEE/ACM	IEEE	CAD, design		700	458	29	26% (2013) 25% (2014)
ACM/SIGDA International Symposium on Field-Programmable Gate Arrays	FPGA	ACM	ACM	Reconfigurable		100		17	20%
IEEE International Test Conference	ITC	IEEE	IEEE	Test	1970	1500	300	20	25%
IEEE International Parallel and Distributed Processing Symposium	IPDPS	IEEE	IEEE	Parallel architecture		300	530	35	24% (2010)
IEEE International Solid State Circuits Conference	ISSCC	IEEE	IEEE	IC, Technology		3500		55	36%
Autres domaines connexes (liste non exhaustive)									
ACM/IEEE International Symposium on Computer Architecture	ISCA	ACM/IEEE	ACM	Architectures	38 éditions	600	259	-	14.3% (2008)
IEEE/ACM International Symposium on Microarchitecture	MICRO	ACM	ACM	Architectures	43 éditions	213	166	34	21% (2007)
Architectural Support for Programming Languages and Operating Systems	ASPLOS	ACM	ACM	Architecture, Languages	16 éditions		181	-	18% (2010)
IEEE International Symposium on High Performance Computer Architecture	HPCA	IEEE	IEEE	Architectures	17 éditions	200	161	33	19% (2008)
Usenix Annual Technical Conference	USENIX	USENIX	X	Operating Systems	36 éditions	250	147	-	16.3% (2010)
European System Conference	EUROSYS	ACM, USENIX	X	Operating Systems	6 éditions			-	16.1% (2011)
IEEE Symposium on Security and Privacy	S&P	IEEE	IEEE	Security	2001	276	231	42	11.3%
International Conference on Measurement and Modeling of Computer Systems	SIGMETRI CS	ACM	ACM	Simulation				-	14.7 (2011)
IEEE/IFIP International Conference on Dependable Systems and Networks	DSN	IEEE/IFIP	IEEE	System, Reliability	1970	250		26	21%
International Cryptology Conference	CRYPTO	IACR		Security		393	206	-	17.6%
Annual International Conference on the Theory and Applications of Cryptographic Techniques	EUROCRY PT	IACR		Security		392	173	-	18.6%
IEEE Nuclear and Space Radiation Effects Conference	NSREC	IEEE	IEEE	Nuclear, Space	1963	500	300		18%

Conférences rang A									
Domaines SOC-SIP									
ACM/IEEE International Symposium on Network on Chip	NOCS	IEEE/ACM	IEEE	Architecture, NoC	2006	150		27	30%
IEEE International Conference on Computer Design	ICCD	IEEE	IEEE	Architectures		100		16	30%
IEEE Int. Conf. on Application-specific Systems, Architectures and Processors	ASAP	IEEE	IEEE	Architectures				14	26% (2010)
International Conference on Compilers Architecture and Synthesis for Embedded Systems	CASES	IEEE/ACM	ACM	Architectures, Compilers				-	43% (2009)
IEEE Symposium on Computer Arithmetic	ARITH	IEEE	IEEE	Arithmetic	1969			-	30%
International Symposium on Symbolic and Algebraic Computation	ISSAC	ACM	ACM	Arithmetic	1988		150	13	30%
IEEE International Symposium on Asynchronous Circuits and Systems	ASYNC	IEEE	IEEE	Asynchronous	1994		200	-	25%
IEEE/ACM/FIP Int. Conf. on Hardware-Software Codesign and System Synthesis	CODES+ISS	IEEE/ACM	ACM	CAD, Compilers, Architectures			143	11	30%
IEEE/ACM Asia and South Pacific Design Automation Conference	ASP-DAC	IEEE/ACM	IEEE	CAD, Design		400	355	25	33%
International Conference on VLSI Design	VLSID	IEEE/ACM	IEEE	CAD, Design			320	15	25%
IEEE International Symposium on Circuits and Systems	ISCAS	IEEE	IEEE	Circuits, Systems		1000	1600	27	45%
Radio-Frequency Integrated Circuits Symposium	RFIC	IEEE	IEEE	Design RF	1995	900	300	21	30%
IEEE/MTT-S International Microwave Symposium	IMS	IEEE	IEEE	Design RF	1957	3000		22	40%
European Microwave Integrated Circuits Conference	EUMIC	IEEE	IEEE	Design RF				13	30%
IEEE International Symposium on Quality Electronic Design	ISQED	IEEE	IEEE	Design, quality		250	300	20	30%
ACM Great Lakes Symposium on VLSI	GLVLSI	ACM	ACM	IC			165	11	30% (2010)
IEEE Computer Society Annual Symposium on VLSI	ISVLSI	IEEE	IEEE	IC				15	30%
IEEE Custom Integrated Circuits Conference	CICC	IEEE	IEEE	IC, Design	1983			19	33%
IEEE Symposium on VLSI Circuits	VLSIC	IEEE	IEEE	IC, Technology		120		27	30%
European Solid State Circuits Conference	ESSCIRC			IC, Technology		600		18	30%
European Solid State Device Research conference	ESSDERC			IC, Technology		600		14	30%
ACM International Symposium on Physical Design	ISPD	IEEE/ACM	IEEE	Interconnect, physical design				12	31.5% (2010)
ACM/IEEE International Symposium on Low Power Electronics and Design	ISLPED	IEEE/ACM	IEEE	Low-power				15	35%
ACM/IEEE International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems	TAU	IEEE/ACM	IEEE	Modeling, timing				-	-
IEEE Symposium on Field Programmable Custom Computing Machines	FCCM	IEEE	IEEE	Reconfigurable		300		18	16% full 28% short (2014) 22.3%
International Conference on Field-Programmable Technology	FPT	IEEE		Reconfigurable			166	12	(2010)
Field Programmable Logic and Applications	FPL	IEEE	IEEE	Reconfigurable		290 (2014)	230	22	22% (2014)

Workshop on Cryptographic Hardware and Embedded Systems	CHES IEEE		LNCS	Security	1999	260	113	-	27.8%
IEEE SENSORS	SENSORS	IEEE	IEEE	Sensors		600		13	40%
EUROSENSORS	EUROSEN SORS		Elsvier	Sensors		500	602	-	30% papers (2011) 72% posters
International Conference on Acoustics, Speech, and Signal Processing	ICASSP	IEEE	IEEE	Architecture		2000	2912	46	46%
IEEE European Test Symposium	ETS	IEEE	IEEE	Test	1996	220	120	14	24%/50%
IEEE Asian Test Symposium	ATS	IEEE	IEEE	Test	1992	200	150	10	30%
IEEE VLSI Test Symposium	VTS	IEEE	IEEE	Test	1982	250	150	18	35%
IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems	DFTVS	IEEE	IEEE	Test		120		13	-
Autres domaines connexes (liste non exhaustive)									
International Conference on High-Performance and Embedded Architectures and Compilers	HIPEAC	ACM	ACM	Architectures, Compilers	6 éditions			-	25% (2010)
IEEE International Conference on Image Processing	ICIP	IEEE	IEEE	Image Processing	18 éditions	3000	1700	28	45% (2008)
International Joint Conference on Neural Network	IJCNN	IEEE/INNS ACM/USE		Neural Networks				19	-
Symposium on Operating System Principles	SOSP	NIX	ACM	Operating Systems	23 éditions			-	
IEEE International Symposium on Modeling, Analysis and Simulation of Computer and Telecommunication Systems	MASCOTS GLOBECO	ACM/IEEE	EE	Simulation	19 éditions		120	16	35% (2011)
IEEE Global Communications Conference	M	IEEE	IEEE	Wireless	25 éditions	1500		38	35% (2010)
IEEE International Conference on Communications	ICC	IEEE	IEEE	Wireless	24 éditions	2000	3000	48	35% (2009)
IEEE Wireless Communications and Networking Conference	WCNC	IEEE	IEEE	Wireless				34	38%
IEEE International Reliability Physics Symposium	IRPS	IEEE	IEEE		53 éditions				37%
Conference on Radiation Effects on Components and Systems	RADECS BIODEVIC	IEEE	Radecs Springer	Radiation, Space	23 éditions	350	180	12	22%
International Conference on Biomedical Electronics and Devices	ES	INSTICC	r	Biomedical	2008		360	13	38%
Conférences rang B									
Domaines SOC-SIP									
Euromicro Conference on Digital System Design, Architectures, Methods and Tools	DSD	Euromicro		Architecture, Embedded Systems				15	23% (full paper) 50% (short paper)
Architecture of Computing Systems	ARCS		LNCS	Architecture, Embedded				-	-

Systems									
Conference on Design and Architectures for Signal and Image Processing	DASIP	IEEE	ECSI	Architectures for Signal and Image					68% (2010) 44%/68% (2013)
Asilomar Conference on Signals, Systems, and Computers	ACSSC			Architectures, Arithmetic, Signal	500	348	22		41%
IEEE International New Circuits and Systems Conference	NewCAS	IEEE	IEEE	Circuits, Systems	160		9		40% (2012)
International Conference on Electronics, Circuits and Systems	ICECS	IEEE	IEEE	Circuits, Systems	300-500	500	10		72% (2007)
IEEE International Conference on Computer and Information Technology	CIT	IEEE	IEEE	Computer, IT	11 éditions		13		-
IEEE/IFIP International Symposium on Rapid System Prototyping	RSP	IEEE		Design Methods					-
		IEEE/CED		Design Methods, Languages					-
Forum on Design Languages	FDL	A	ECSI	Languages					-
IEEE International Workshop on Electronics Design, Test and Applications	DELTA	IEEE	IEEE	Design, Test	2002	120	120		34%/50%
IEEE International Design and Test Workshop	IDT			Design, Test					-
IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems	DDECS	IEEE	IEEE	Design, Test, Reliability	1997	130	131	8	39%/67%
International Symposium on Systems, Architectures, Modeling and Simulation	IC-SAMOS	IEEE		Embedded Systems				10	36%
International Conference on Embedded Software and Systems	ICCESS	IEEE	IEEE	Embedded Systems	8 éditions			9	-
Electrical Overstress/Electrostatic Discharge Symposium	EOS/ESD			ESD	34 éditions	300			-
Symposium on Integrated Circuits and System Design	SBCCI	ACM	ACM	IC, Design		150-250	119		36%
IEEE International Midwest Symposium on Circuits and Systems	MWCAS	IEEE		IC, Design	1959	300		12	68%
IEEE International Conference on IC Design and Technology	ICICDT	IEEE	IEEE	IC, Design, Technology	2004				-
International Instrumentation and Measurement Technology Conference	IMTC	IEEE	IEEE	Instrumentation	1984			15	-
IEEE Workshop on Signal Propagation on Interconnects	SPI	IEEE	IEEE	Interconnect		100		8	40%
System level Interconnect Prediction	SLIP	IEEE	IEEE	Interconnect	1999				60%
IEEE International Workshop on Logic Synthesis	IWLS	IEEE		Logic Synthesis		60			-
International Workshop on Power and Timing Modeling, Optimization and Simulation	PATMOS		LNCS	Low Power	1991	100	60		40%
European Workshop on CMOS Variability	VARI	IEEE	IEEE	Variability	2010	100	30		50%
IEEE International Conference on Embedded and Real-Time Computing Systems and Applications	RTCSA	IEEE	IEEE	Real-Time	17 éditions			17	-
IEEE Real Time and Embedded Technology and Application Symposium	RTAS	IEEE	IEEE	Real-Time	17 éditions			19	23% (2012)
Reconfigurable Architectures Workshop	RAW			Reconfigurable					-
Applied Reconfigurable Computing	ARC		LNCS	Reconfigurable					32%/64%

Conference on Adaptive Hardware and Systems	NASA/ESA AHS			Reconfigurable			12	-	
International Conference on ReconFigurable Computing and FPGAs	RECONFI G	IEEE		Reconfigurable			8	40%	
European Symposium on Reliability of Electron Devices	ESREF			Reliability			-	-	
IEEE International Symposium on Hardware-Oriented Security and Trust	HOST	IEEE	IEEE	Security	2008		-	-	
Smart Card Research and Advanced Application Conference	CARDIS			Security			-	-	
IEEE International Workshop on Information Forensics and Security	WIFS	IEEE	IEEE	Security			8	-	
IFIP International Conference on New Technologies, Mobility and Security	NTMS	IEEE	IEEE	Security	2007		-	-	
Constructive Side Channel Analysis and Secure Design	COSADE	Springer		Security			-	-	
IEEE Technologies for Homeland Security	HST	IEEE	IEEE	Security	2007		11	-	
European Signal Processing Conference	EUSIPCO	EURASIP		Signal Processing, DSP Architecture		600	-	60%	
IEEE Workshop on Signal Processing Systems	SIPS	IEEE		Signal Processing, DSP Architecture		120	104	14	
IEEE/IFIP Conference on VLSI-SoC	VLSI-SOC	IEEE/IFIP		SoC	18 éditions	100	9	53% (2008)	
IEEE International SOC Conference (Formerly ASIC/SOC)	SOCC	IEEE	IEEE	SoC	2003	100	10	28%-50%	
International Symposium on System-on-Chip	SOC	IEEE	IEEE	SoC			8	44%	
IEEE International Conference on Microelectronic Test Structures	ICMTS			Test			8	-	
International Mixed-Signal Testing Workshop	IMSTW			Test			-	-	
IEEE International On-Line Testing Symposium	IOLTS	IEEE	IEEE	Test		100	11	59%/83%	
IEEE International Workshop on Memory Technology, Design, and Testing	MTDT	IEEE	IEEE	Test			-	-	
IEEE International High Level Design Validation and Test Workshop	HLDVT	IEEE	IEEE	Test, Validation			8	-	
IEEE International Symposium on Workload Characterization	IISWC	IEEE	IEEE	Workload	7 éditions		16	34% (2008)	
IEEE Biomedical Circuits and Systems Conference	BioCAS	IEEE	IEEE	Circuits, Systems	2005		13	40%	
Radio and Wireless Week	RWW	IEEE	IEEE	RF			-	65%	
International Wireless Symposium and Exhibition	IWS	IEEE	IEEE	RF			-	-	
Autres domaines connexes (liste non exhaustive)									
East European Conference on Advances in Databases and Information Systems	ADBIS	Springer	Springer	Database			7	-	
International Conference on Management of Data	COMAD	computer Sc of India		Database	17 éditions		289	38	
International Workshop on Flash-based Database Systems	FlashDB			Database, Storage	2 éditions		-	-	
Asia-Pacific Workshop on Systems	ApSys	ACM/Useni	ACM/U	Operating Systems	2 éditions		-	-	

		x	senix						
Workshop on Programming Languages and Operating Systems	PLOS	ACM	ACM	Operating Systems, Languages	6 éditions		-	-	
International Workshop on Data Management on New Hardware	DaMoN	ACM	ACM	Storage	6 éditions		-	-	
Parallel Data Storage Workshop	PDSI	IEEE/ACM	CM	Storage	6 éditions		-	45% (2011)	
IEEE Vehicular Technology Conference	VTC	IEEE	IEEE	Wireless			32	40%	
IEEE International Symposium on Personal and Indoor Mobile Radio Conference	PIMRC	IEEE	IEEE	Wireless				43%	
International Conference on Sensor Technologies and Applications	SensorCo mm	IARIA		Wireless, Sensor	6 éditions			30%	
IEEE EMBS Neural Engineering Conference	NEC	IEEE	IEEE	Neural Eng.	2007				
Conférences non classées									
Design, Test, Integration & Packaging of MEMS/MOEMS	DTIP			MEMS	1998	250			
Radio and Wireless Symposium	RWS	IEEE	IEEE	Microwave	1998 (ancien RAWCON)		320	63%	
RF&Microwave Power Amplifier Wireless and Radio Applications	PAWR	IEEE	IEEE	Microwave	2008		100	64%	
European Microwave Conference	EuMC							17	
European Conference on Circuit Theory and Design	ECCTD				1973	400			73%
International Conference Mixed Design of Integrated Circuits and Systems -	Mixdes	IEEE			1994				
IEEE Int. Conf. on Sensors, Circuits and Instrumentation Systems	SSD	IEEE							
IEEE International Conference on Industrial Technology	ICIT	IEEE			1994				
International Conference on Microelectronics	ICM	IEEE	IEEE		1984	130			
Southern Programmable Logic Conference	SPL	IEEE		Reconfigurable Design, Technology, Test				7	
Design & Technology of Integrated Circuits	DTIS		IEEE		2005	100	80		60%
Conference on Design of Circuits and Integrated Systems	DCIS								
Reconfigurable Communication-Centric SoCs	ReCoSoC								
Engineering of Reconfigurable Systems and Algorithms	ERSA								
IEEE Latin-American Test Workshop	LATW					70			80%
IEEE Faible Tension Faible Consommation	FTFC	IEEE	IEEE	Low Power	2002				
IEEE East-West Design & Test Workshop	EWDTW								
Workshop on Dependable and Secure Nanocomputing	WDSN								
IEEE Int. Conf. on Ph.D. Research in Microelectronics and Electronics	PRIME	IEEE			2004	160	140 (2014)	4	75%
Workshop on Tamper-Resistant Architectures and Cryptographic Devices	TRACD								

COMITE SCIENTIFIQUE et ANIMATION DU GDR SOC/SIP

Directeur

Patrick Garda, LIP6

Directeurs adjoints

Patrick Girard, LIRMM

Ian O'Connor, INL

Responsables d'axes et animateurs des thématiques

Architectures des systèmes numériques intégrés

Sébastien Pillement, IETR, Univ. Nantes

Adjoint : Philippe Coussy, Lab-STICC

Animateurs :

Manycorés

Franck Wajsburt, LIP6

Reconfigurable

Loïc Lagadec, Lab-STICC

Sécurité Test Fiabilité Vérification

Lilian Bossuet, LaHC, Univ. St Etienne

Animateurs :

Sécurité

Marie-Lise Flottes, LIRMM

Test

Serge Bernard, LIRMM et Mounir Benabdenbi, TIMA

Vérification

Katell Morin, TIMA (à confirmer)

Dispositifs émergents et Cyberphysique AMS

Cristell Maneux, IMS

Adjointe : Patricia Desgreys, Télécom ParisTech

Animateurs :

AMS-RF

Nathalie Deltimple, IMS

Systèmes hétérogènes

Marie-Minerve Louërat, LIP6

Technologies émergentes

Jacques-Olivier Klein, IEF

Capteurs et modélisation multiphysique

Luc Hébrard, iCube

Défis sociétaux

Cécile Belleudy, LEAT

Adjoint : Fabien Mieyeville, INL

Animateurs :

Consommation

Eric Senn, Lab-STICC

Systèmes embarqués pour la santé

Sylvie Renaud, IMS et Olivier Romain, ETIS

Autres membres du Comité de Pilotage :

Guy Gogniat (Lab-STICC), Bertrand Granado (LIP6), Régis Leveugle (TIMA), Frédéric Pétrot (TIMA), Michel Renovell (LIRMM), Gilles Sassatelli (LIRMM), Olivier Sentieys (IRISA), Lionel Torres (LIRMM).