

Le programme détaillé

du Colloque 2023

Les résumés sont accessibles sur ce [lien](#)

Lundi 12 juin

12:30 –
13:00

Accueil des Participants

13:00 –
13:15

Session d'ouverture et Assemblée Générale SoC²

13:15 –
14:30

Session 1: Calcul embarqué haute performance

Energy-aware Real-time Embedded Systems: Trends and Open Challenges

Audrey Queudet (LS2N, Nantes)

Abstract:

More and more real-time embedded systems have energy constraints, or even require energy autonomous operation. It is therefore necessary to optimize the energy consumption of the system in order to guarantee its correct operation while meeting its timing constraints. The two main techniques for reducing energy consumption in these systems are the Dynamic voltage and frequency scaling (DVFS) and Dynamic power management (DPM) approaches. In this talk, we will focus on the state-of-the-art of energy-aware scheduling algorithms proposed for real-time systems. Beyond the key issue of energy minimisation, we will explore the challenges associated with systems powered by renewable energy sources. In this case, the aim is to ensure that they can operate continuously by capturing power from the environment.

Bio:

Audrey Queudet is an Associate Professor in computer engineering at Nantes Université (France) since 2007. She graduated in computer engineering at Polytechnic School of the University of Nantes (France) in 2002. She obtained her Ph.D. in computer science from the University of Nantes in 2006. From october 2006 to august 2007, she held a post-doctoral researcher position at Polytechnic University of Valencia, Spain. She



obtained the degree of Habilitation à Diriger des Recherches in Computer Science in 2021. She currently heads the Computer Science Department of the Faculty of Science and Technology at Nantes Université. She is conducting her research within the Real-Time System Research group at Laboratoire des Sciences du Numérique de Nantes (LS2N, UMR CNRS n°6004), France. Her research interests include real-time scheduling theory, quality of service

Les graphes de tâches, une opportunité pour l'hétérogénéité

Samuel Thibault (Université de Bordeaux)

Abstract:

Pour pouvoir tirer le meilleur des architectures complexes contemporaines, comportant des GPUs, cartes réseau, disques, etc., le domaine du calcul hautes performances (HPC) s'intéresse de plus en plus à la programmation à base de tâches au lieu d'approches purement threads par exemple. L'approche par tâches permet en effet de déléguer la plupart du travail d'optimization au support d'exécution: l'ordonnancement des calculs, le transfert de données en parallèle de l'exécution des tâches, le pré-chargement des données des disques vers les GPUs, les communications réseau, etc. Le support d'exécution StarPU propose un paradigme de programmation par tâches, et promeut l'utilisation du style STF (Sequential Task Flow), dans lequel le code principe de l'application est un nid de boucles de soumission de tâches qui ressemble en fait à un code séquentiel. StarPU peut alors optimiser l'exécution du graphe de tâches induit, sur des machines comprenant CPUs, GPUs, FPGAs, disques, ... Il est alors le berceau de divers travaux de recherche en ordonnancement, incluant des objectifs contradictoires de déblocage du parallélisme, d'accélération, et de localité

Bio:

Samuel Thibault est professeur à l'université de Bordeaux, et membre de l'équipe Inria STORM. Ses recherches gravitent autour de l'ordonnancement de tâches et des transferts de données dans les supports d'exécution parallèles et distribués. Il se concentre en particulier sur la conception du support d'exécution StarPU, et plus particulièrement ses heuristiques d'ordonnancement pour les architectures hétérogènes et les systèmes distribués.

14:30 –
15:30

Session Poster 1 et Pause Café

Vincent FU (CEA, List), Lilia ZAOURAR (CEA), alix MUNIER (Sorbonne Université, CNRS, LIP6), Marc DURANTON (CEA, List)

A Physical Heuristic Solver based on Coupled Oscillators for Nondeterministic Polynomial-time Hard Problems

Corentin DELACOUR, Thierry GIL, Nadine AZEMARD (LIRMM), Aida TODRI-SANIAL (CNRS-LIRMM)

Fault-Tolerant Hardware Architectures for Artificial Intelligence Algorithms

Wilfred GUILLEMÉ (Univ. Rennes, INRIA, IRISA), Youri HELEN, Rémy PRIEM (DGA MI), Angeliki KRITIKAKOU (Univ Rennes, INRIA, Irisa), Daniel CHILLET (University of Rennes 1, IRISA/INRIA), Cédric KILLIAN (Univ Rennes, INRIA, Irisa)

Enhancing FPGA-based CNN Inference Energy Efficiency through Partial Reconfiguration

Zhuoer LI, Sébastien BILAVARN (Université Côte d'Azur)

Perspectives pour la Modélisation et la Protection contre les Fautes Electromagnétiques

Sami EL AMRAOUI (TIMA), Paolo MAISTRI (CNRS), Regis LEVEUGLE (Grenoble INP)

Pipelined Neural Network Accelerators for Throughput Optimization

ali OUDRHIRI (LIP6 Sorbonne université, STMicroelectronics), alix MUNIER (Sorbonne Université, CNRS, LIP6)

Input-aware accuracy characterization for approximate circuits

Ali PIRI, Salvatore PAPPALARDO (Ecole Centrale de Lyon), Bastien DEVEAUTOUR (CPE Lyon), Marcello TRAIOLA (National Institute for Research in Digital Science and Technology), Ian O CONNOR, ALBERTO BOSIO (Lyon Institute of Nanotechnology)

Toward Robust Analog Equilibrium Propagation by Investigating Power Calculation Dynamics

Zülal KIRAZ, Germain PHAM, Patricia DESGREYS (Télécom Paris)

FPGA-based Hardware Implementation of Single and Double Q-Learning algorithms

Marouane BEN AKKA, Camel TANOUGAST, Camille DIOU (Université de Lorraine)

Génération de configurations de réseaux distribués et optimisées pour l'avionique

Florient CHAMPENOIS (Safran Electronics & Defense), Thierry GRANDPIERRE (Esiee Paris, Université Gustave Eiffel), Florian BRANDNER (LTCl, Télécom Paris, Institut Polytechnique de Paris), Etienne BORDE (University of Canterbury, Computer Science and Software Engineering Department), Abraham SUISSA (Safran Electronics & Defense)

Time-Bounded Error Mitigation through Dual-Core Lockstep RISC-V using HLS

Pegdwende Romaric NIKIEMA (Université de Rennes), Angeliki KRITIKAKOU (Univ Rennes, INRIA, Irisa), Marcello TRAIOLA (National Institute for Research in Digital Science and Technology), Olivier SENTIEYS (Univ Rennes, INRIA, Irisa)

Secure hardware NTT implementation against SASCA and CPA attacks

Rafael CARRERA RODRIGUEZ (CEA), Florent BRUGUIER (Universite de Montpellier), Emanuele VALEA (CEA-List), Pascal BENOIT (Universite de Montpellier)

Reinforcement Learning for Analog Sizing Optimization

Michel CHEVALIER (STMicroelectronics)

Neural Network based 5G Power Amplifier Modeling on MATLAB

Thuy PHAM (Telecom ParisTech), Germain PHAM, Patricia DESGREYS (Télécom Paris), Tayeb H. C. BOUAZZA (Telecom ParisTech)

NB-IoT Power Consumption: A Comparison of SFR and Objenious Network Operators

Nassim LABDAOUI, Stéphane DUTERTRE (Watteco), Nouvel FABIENNE (INSA de Rennes)

On-device learning for ultra-low-power wireless sensors: evaluating the effects of data subsampling



Antoine BONNEAU (Laboratoire CITI), Fabien MIEYEVILLE (Laboratoire Ampère), Frédéric LE MOUËL (Laboratoire CITI (INSA Lyon/Inria))

Plateforme d'émulation d'opérateurs non-volatiles sur FPGA

Alban NICOLAS (INL)

Ray-Spect: Local Parametric Degradation for Secure Designs

Nasr-eddine OULDEI TEBINA (TIMA)

Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory

Bruno FERRES (Inria), Oussama OULKAID (Aniah), Ludovic HENRIO (CNRS), Matthieu MOY (UCBL), Pascal RAYMOND (CNRS)

Calibration d'un convertisseur numérique-analogique large bande pour l'agrégation de porteuses 5G en technologie 28nm FDSOI

Pierre FERRER, François RIVET, Herve LAPUYADE, Yann DEVAL (IMS – Laboratoire de l'Intégration du Matériau au Système)

15:30 –
16:45

Session 2: IA et systèmes embarqués

L'IA de Confiance de l'ingénierie système à l'implémentation – illustration sur un cas d'usage du domaine aéronautique

Fateh KAAKAI (Thales)

Abstract:

La présentation donnera un état d'avancement des travaux de normalisation pour la certification de produits aéronautiques développés à base d'apprentissage automatique (Machine Learning = ML) supervisé. Les challenges spécifiques aux technologies ML (spécification des données d'apprentissage, dérives des distributions de données, caractérisation du domaine opérationnel de conception, gestion des limitations de performances intrinsèques, explicabilité, absence de traçabilité, stabilité, robustesse, comportement émergent inattendues, etc.) ainsi que certaines solutions seront abordés pour les différentes étapes du cycle de développement d'un système embarqué: de l'ingénierie système et la gestion des données d'apprentissage jusqu'à la conception et l'implémentation des modèles ML et des pre/post traitements de données associés, puis l'intégration et la vérification du « ML Constituent » sur la ou les plateforme(s) cible(s). La présentation sera illustrée à travers le cas d'usage ACAS-XU (fonction anticollision de drones) développé dans le cadre du groupe de travail joint EUROCAE (SAE) WG-114 (G34).

Bio:

Fateh KAAKAI est un expert en sûreté de fonctionnement. Il travaille pour Thales depuis 15 ans et il est actuellement impliqué dans des activités de recherche et de normalisation liées à l'IA de confiance et à la certification des systèmes basés sur l'IA. Il est le co-président du groupe de travail EUROCAE & SAE WG114/G34 dédié à la certification des systèmes aéronautiques critiques utilisant de l'apprentissage automatique (Machine Learning). De 2020 à 2022, Il a été expert détaché auprès du programme national français « Confiance.IA » (budget de 45M€). De 2018 à 2020, il a été le représentant de Thales auprès de l'EASA (European Union Aviation Safety Agency) dans le domaine de la gestion du trafic aérien. Il a également participé à plusieurs



programmes de recherche et d'innovation en matière de sécurité (SESAR, SESAR 2020 et Future Sky Safety). Son expérience industrielle précédente comprend 5 ans dans le domaine de l'automatisation des métros (CBTC), et 7 ans dans le domaine du contrôle du trafic aérien (ATC). Il a été impliqué dans la transformation numérique des produits « legacy » de Thales Air Mobility Solutions avec des technologies basées sur le cloud et du Machine Learning. Son doctorat en automatique, obtenu en 2007 au sein de l'IFSTTAR et de l'Université de Besançon, était consacré au développement de méthodes formelles (réseaux de Petri) pour l'évaluation de la sécurité et de la capacité dans les réseaux de transport terrestre. Il détient 4 brevets et est (co-)auteur d'un livre sur l'interprétation abstraite des logiciels, ainsi que de plusieurs articles de journaux et de conférences. Il est diplômé de l'Ecole Centrale de Lille (Master of Science) en 2003.

Optimizing Deep Learning Applications for Edge Computing: The Hardware Aware Neural Architectural Search (HW-NAS) Approach

Smail NIAR (INSA Hauts-de-France and LAMIH/CNRS)

Abstract:

Deep learning (DL) models such as convolutional neural networks (CNN) are being deployed to solve various computer vision and natural language processing tasks at the edge. It is a challenge to find the right DL architecture that simultaneously meets the accuracy, power and performance budgets of such resource-constrained devices. Hardware-aware Neural Architecture Search (HW-NAS) has recently gained steam by automating the design of efficient DL models for a variety of various target hardware platforms. However, HW-NAS requires excessive computational resources. Thousands of GPU days are required to evaluate and explore an architecture search space. In this talk I will present state-of-the-art approaches for HW-NAS that are based on three components: a) Surrogate models to predict quickly architecture accuracy and hardware performances to speed up HW-NAS, b) Efficient search algorithm that explores only promising hardware and software regions of the search space, and c) New model compression techniques that can be combined with HW-NAS to reduce the processing and memory complexities such as computation reuse and dynamic NAS.

Bio:

Prof. Smail Niar, INSA Hauts-de-France/Université Polytechnique Hauts-de-France (UPHF) & CNRS, received his PhD in computer Engineering from the University of Lille (France) in 1990. Since then, he has been professor at UPHF where he is director of the computer science department at the "Laboratory of Automation, Mechanical and Computer Engineering", a joint research unit between CNRS and UPHF. He is also French national contact point (NCP) for Horizon Europe framework in the domain of digital systems. His research interests are AI/ML-based embedded systems, autonomous driving, HPC, and edge computing.

17:00 –
18:15

Session 3: Methodologies et outils



Compiling Audio DSP for FPGAs Using the Faust Programming Language and High Level Synthesis

Tanguy Risset (INSA-Lyon)

Abstract:

In this talk, we give a detailed presentation of Syfala (<https://github.com/inria-emeraude/syfala>), a new « audio DSP to FPGA » compiler based on the Faust programming language (<https://faust.grame.fr/>) and Xilinx/AMD's High level Synthesis (HLS) technology. Our open-source system compiles automatically audio DSP programs to FPGA hardware up to actual sound production (Zynq-based platforms). With this compiler, much smaller audio latency (i.e., one sample at a high sampling rate) can be achieved than with regular « software-based » digital audio systems. This presentation also introduces FPGA architecture in general as well as recent HLS technologies. It finally describes in detail the coupling with the vitis_hls HLS tool — which performs parallelization — and shows the resulting system implementation, performances, and open issues.

Bio:

Tanguy Risset is currently professor at Insa-Lyon, he is head of the Emeraude Team (Embedded Programmable Audio Systems, <https://team.inria.fr/emeraude/>) of the Citi Laboratory, a joint team between Insa-Lyon, Inria and Grame-CNCM. He worked long ago as an Inria researcher with Patrice Quinton in Rennes on high level synthesis within the MMAAlpha framework, then he moved to Insa-Lyon as a professor in 2005, working on Software Defined Radio with Jean-Marie Gorce. They launched in 2011 the Inria Socrate Team to handle the FIT/CortexLab Equipex project. After the end of the Socrate team, he recently started a new activity on embedded audio system and created the Emeraude team in collaboration with the Grame Institute.

A RISC-V Open platform and systems for next-generation of energy efficient intelligent embedded systems

Michele Magno (ETH, Zurich)

Abstract:

The next generation of intelligent embedded systems will push enable a wide range of application from wearable devices to autonomous vehicles pushing signal processing and machine learning aggressively towards the edge, near sensors and actuators, with strong energy-efficiency while at the same time raising the bar in terms of flexibility and performance. To succeed in this balancing act, we need principled ways to walk the line between conflicting non-functional requirements. In the talk, I will illustrate ETH experience in leveraging the Open RISC-V ISA and open hardware approaches to innovate across the board and pave the way for an open embedded computing platform for energy efficient . Moreover, I will discuss challenges in enabling real-time machine intelligence at the edge to support applications in resource constrained environments presenting the system overview including the sensors and other hardware subsystem as well as the applications requirements. Finally, I will show example of embedded systems design leverages the open hardware in real systems and application, in particular wearable low power intelligent devices and miniaturized RISC-V based UAVs that included neuromorphic accelerators and event-based camera interface. ^

Bio:

Michele Magno (Senior member, IEEE). He is a Senior Scientist at ETH Zurich, Switzerland and Head of the Project-Based Learning Center at ETH Zurich. received his Masters and Ph.D. degrees in electronic engineering from the University of Bologna, Italy, in 2004 and 2010 respectively, After 2 years of postdoc at Tyndall Institute Ireland, and University College Cork in Ireland, he joined ETH Zurich in 2013. The most important themes of his research are on wireless sensor networks, wearable devices, machine Learning at the edge, energy harvesting, low power management techniques and extension of lifetime of batteries-operating devices, edge processors including RISC-V based architectures. He has collaborated and collaborate with several international universities and academic and industrial research centres, and he is also visiting full professor at the department of electrical engineering and the research center Sensible Things that Communicate Mid University Sweden. He has published more than 250 papers in international journals and conferences, in which he got best paper or best poster awards several times.

18:15 –
18:45

Présentation des calls Horizon Europe 2024 dans le domaine du Digital

Smail NIAR (INSA Hauts-de-France and LAMIH/CNRS)

18:45 –
20:30

Welcome Cocktail

Mardi 13 juin

8:30 – 9:00

Accueil des Participants

9:00 –
10:15

Session 4: Technologies du futur

Challenges of future embedded Resistive RAMs and the 3D-RRAMs promises

François Andrieu (CEA-Leti)

Abstract:

Embedded Non-Volatile-Memories (NVM) are key devices in many Integrated Circuit, especially for micro-controllers or microprocessors. Today Resistive RAMs (RRAMs) are already proposed by many foundries or IDM as a replacement of embedded flash memories, which do not scale easily below 28nm. In these RRAM devices, the data is no longer encoded by the amount of charges but by two different levels of resistance. The physics of Magnetic-RAM (MRAM), Phase-Change-Memory (PCM) and Oxide-RAM (OxRAM) are different and their advantages too, so that they can meet different specifications/applications. The next R&D technology challenges will be to integrate these devices with more advanced CMOS nodes, as well to increase their density. To achieve this goal, 3D integration is instrumental. This presentation will highlight the example of a new 3D RRAM based on Gate-All-Around stacked nanosheet transistors and the potential of this technology for In-Memory-Computing.



Bio:

Dr. François Andrieu is CEA fellow and the head of Laboratory « Nano-devices for Memory and Computing » at CEA-Leti, Grenoble, France.

His fields of interest are: NVM Resistive-RAM and In-Memory-Computing, advanced CMOS transistors, stacked nanowires, 3D-sequential integration. He has been strongly involved in the development of the Fully-Depleted-Silicon-On-Insulator (FDSOI) CMOS technology at Leti and with STMicroelectronics, where he was assigned between 2012-2015 in the process-integration and technology-to-design groups.

More widely, he is the author or co-author of more than 34 patents, 240 conference abstracts or refereed journal articles, 11 invited papers and 3 book chapters. He has served in many conference TPCs (IEDM, VLSI-TSA, EDTM, ESSDERC, SSDM...) and is currently in the steering committee of ESSDERC-ESSCIRC. He received the IEEE senior grade in 2018, the IEEE/SEE Brillouin award in 2018 and the European ERC consolidator grant in 2019.

Equilibrium Propagation for Training Spiking Neural Networks and Ising Machines

Julie Grollier (CNRS/THALES)

Abstract:

Equilibrium Propagation (EP), as introduced by Scellier and Bengio (2017), represents a significant breakthrough in the training of physical systems, including neuromorphic systems and Ising machines. The algorithm synergizes with the inherent dynamics of these systems, enabling highly accurate learning that aligns with advanced AI algorithms such as Backpropagation Through Time (BPTT). In our work, we have harnessed the power of EP across two distinct application domains. Firstly, we present an adaptation of EP for spiking neural networks (SNNs) in neuromorphic systems, which are renowned for their energy efficiency through brain-inspired, spike-based computing. Our novel algorithm, EqSpike, boasts compatibility with the spatially local computations of neuromorphic hardware and shows remarkable accuracy of 96.9% on the MNIST dataset. Secondly, we introduce a novel approach for training Ising machines using EP, demonstrated on the D-Wave quantum computer. Our method enables the D-Wave Ising machine to classify complex datasets with an accuracy on par with software, marking a significant achievement in Ising machine learning. Furthermore, our work highlights the inherent hardware compatibility of EP, facilitating training of efficient and compact convolutional networks. Overall, our research paves the way for high-accuracy, energy-efficient neuromorphic computing and machine learning applications, establishing EP as a significant tool in the advancement of physical system learning.

Bio:

Julie Grollier is a researcher director in the CNRS/Thales lab in France. Her Ph.D. was dedicated to the study of a new effect in spintronics: the spin transfer torque. After two years of post-doc, first in Groningen University (Netherlands, group of B.J. van Wees), then in Institut d'Electronique Fondamentale (France, group of C. Chappert), she joined CNRS in 2005. Her current research interests include spintronics, non-linear dynamics and neuromorphic computing. Julie is a Fellow of the American Physical Society and of the IEEE. In 2010 she was awarded the Jacques Herbrand prize of the French Academy of Science, and in 2018 the Silver Medal of CNRS for her pioneering work on spintronics and brain-inspired computing. In 2021 she received the Irene Joliot Curie prize of the female scientist of the year. She is the recipient of three prestigious European Research Council grants, including the Grenadyn project (Neural Gradient Evaluation through Nanodevice Dynamics, ongoing).

10:15 –
11:15

Session Poster 2 et Pause Café

Optimization of lanthanum nickelate based memristive devices for spiking neural networks

Alexandra KOROLEVA (TIMA), Thoai-Khanh KHUU, Céline TERNON, Mónica BURRIEL (LMGP), Elena Ioana VATAJELU (TIMA Laboratory)

Open Platform for SRAM-Based PUFs

Sergio VINAGRERO GUTIERREZ (TIMA), Elena Ioana VATAJELU (TIMA Laboratory), Giorgio DI NATALE (TIMA)

Dependable Hardware for Trustworthy Artificial Intelligence

Salvatore PAPPALARDO (Ecole Centrale de Lyon), ALBERTO BOSIO, Ian O CONNOR (Lyon Institute of Nanotechnology), Bastien DEVEAUTOUR (CPE Lyon)

LiRoT : un raisonneur incrémental léger pour le Web des Objets

Alexandre BENTO (INSA Lyon), Lionel MÉDINI (UCBL), Kamal SINGH (Université Jean Monnet), Frédérique LAFOREST (INSA Lyon)

Preuve vérifiable pour une blockchain embarquée basse consommation

Quentin JAYET, Christine HENNEBERT (CEA), Yann KIEFFER (Grenoble INP, LCIS), Vincent BEROULLE (Grenoble Alpes University)

Effects of High Temperatures on Ring Oscillator Physical Unclonable Functions

Aghiles DOUADI, Giorgio DI NATALE (TIMA), Vincent BEROULLE (Grenoble Alpes University), Elena Ioana VATAJELU, Paolo MAISTRI (TIMA Laboratory)

Design Of Complementary Non-volatile Logic Gates Based On Ferroelectric FETs

Paul-Antoine MATRANGOLO (Institut des Nanotechnologies de Lyon), Cedric MARCHAND (Ecole centrale of Lyon), David NAVARRO (Institut des Nanotechnologies de Lyon), Ian O CONNOR (Lyon Institute of Nanotechnology), Stefan SLESAZECK (NaMLab gGmbH), Thomas MIKOLAJICK (NaMLab gGmbH, Chair of Nanoelectronics, IHM, TU Dresden)

Revisiting the Ultra-Low Power Electronic Neuron Towards a Faithful Biomimetic Behavior

Théo PRATS-RIOUFOL (CentraleSupélec), Zalfa JOUNI, Thomas SOUPIZET, Pietro M. FERREIRA (CentraleSupélec, Université Paris-Saclay, GeePs Lab)



Utilisation de blockchains et d'applications Android Automotive pour une gestion sécurisée et fiable des données d'accidents de véhicules

Luc GERRITS, Thomas MABRUT, François VERDIER (LEAT CNRS (UMR n°7248))

Embedded AI performances of Nvidia's Jetson Orin SoC series

Agathe ARCHET (Thales Research and Technology, Laboratoire des Signaux et Systèmes), Gac NICOLAS, Orioux FRANÇOIS (Laboratoire des Signaux et Systèmes), Ventroux NICOLAS (Thales Research and Technology)

RF Neuromorphic Spiking Sensor for Smart IoT Devices

Zalfa JOUNI, Thomas SOUPIZET (CentraleSupélec, Université Paris-Saclay, GeePs Lab), Siqi WANG, Aziz BENLARBI-DELAÏ (Sorbonne Université, CNRS, Lab. de Génie Électrique et Électronique de Paris, 75252, Paris, France.), Pietro M. FERREIRA (CentraleSupélec, Université Paris-Saclay, GeePs Lab)

Embedded ECG classification system using one dimensional temporal convolutional network

Slavisa JOVANOVIĆ, Hasssan RABAH, Ismail ALI RIDA, Zemouri AMIRA (Université de Lorraine)

Multiplier-Less In-Memory Neural Networks for Embedded Artificial Intelligence

Antoine GAUTIER, Benoît LARRAS (IEMN – JUNIA), Antoine FRAPPÉ (Univ. Lille – JUNIA)

Secure, Optimized and Agile HW/SW Implementation for Post-quantum Cryptography

Antonio RAS, Mikael CARMONA, Antoine LOISEAU (CEA), Simon PONTIE (CEA, CMP), Guenael RENAULT (ANSSI, LIX, INRIA, CNRS), Benjamin SMITH (LIX, INRIA, CNRS), Emanuele VALEA (CEA-List)

3D Logic Circuit Design Based on VNWFET

Sara MANNAA (École Centrale de Lyon), Ian O CONNOR, ALBERTO BOSIO (Lyon Institute of Nanotechnology), Cedric MARCHAND (Ecole centrale of Lyon), Bastien DEVEAUTOUR (CPE Lyon), Damien DELERUYELLE (INL)

Energy Conservation in Wireless Sensor Networks using Embedded Artificial Neural Networks

Imourane ABDOULAYE (Université Côte d'Azur / LEAT / CNRS UMR 7248), Laurent RODRIGUEZ, Cecile BELLEUDY, Benoît MIRAMOND (LEAT UCA)

Improving Memory Diagnosis Capabilities using Graph Theory

Gianmarco MONGELLI (LIRMM), Eric FAEHN, Aymen LADHAR, Dylan ROBINS (STM), Patrick GIRARD, ARNAUD VIRAZEL (LIRMM)

Modélisation du vieillissement dans un FPGA et comparaison des performances entre mesures et Vivado

Justin SOBAS (IMS laboratory)

**Exploration of Machine Learning Applications at the Edge**

Theo SORIANO, Bruno LOVISON FRANCO, David NOVO (LIRMM), Pascal BENOIT (Université de Montpellier)

Analysis of Resistive-Open Defects on a Foundry 8T SRAM-based IMC Architecture

Lila AMMOURA, Marie-Lise FLOTTES, Patrick GIRARD (LIRMM), Jean-Philippe NOEL (CEA), Arnaud VIRAZEL (LIRMM)

Generation of test stimuli for RF devices using low-cost digital resources

Kamilia TAHRAOUI (LIRMM), Florence AZAIS (Univ. Montpellier, CNRS), Laurent LATORRE (LIRMM), Francois LEFEVRE (NXP, FR)

Scalable compact modeling of InP DHBTs with fMAX up to 1THz targetting 6G applications

Lucas RéVEIL, Chhandak MUKHERJEE, Marina DENG (IMS Laboratory), Colombo R. BOLOGNESI (ETH Zurich), Cristell MANEUX (IMS)

11:15 –
12:30

Session 5: Circuits et systèmes AMS/RF

Cryo CMOS pour l'électronique de contrôle des Qubits

Franck Badets (CEA-Leti)

Abstract:

Le développement du futur ordinateur quantique nécessite le contrôle de nombreux qubits. Parmi les diverses technologies possibles, les technologies de qubits silicium sont prometteuses car elles pourraient permettre la réalisation de matrices de plusieurs milliers de qubits en se basant sur des procédés de fabrication très similaires à ceux des filières CMOS. Cependant, un inconvénient majeur est la température de fonctionnement inférieure à 1K qui nécessite la mise en place d'un dispositif expérimental lourd autour de réfrigérateurs cryogéniques, ce qui limite le nombre de qubits adressables à quelques dizaines. Dans cette présentation nous verrons comment le développement d'une électronique intégrée placée à température cryogénique permet de lever ce verrou. Cette présentation mettra en relief les challenges liés à la conception de SOCs cryogéniques de contrôle et de lecture de qubits.

Bio:

Franck Badets, Directeur de Recherche du CEA, est ingénieur ENSEIRB (95), Docteur de l'université Bordeaux 1 (2000) et HdR (2012). Il a travaillé 11 ans chez STMicroelectronics de 2000 à 2011 sur les architectures de synthèse de fréquence et d'oscillateurs pour les applications RF. En 2012 il a rejoint le CEA sur des activités de conditionnement de capteurs Ultra faible Consommation. Depuis 2022 il est en charge du développement de la conception de circuits intégrés cryogéniques pour le contrôle et la lecture de qubits.

An Autonomous IoT Node featuring RF and Solar energy harvesting

Thierry Taris (IMS)

Abstract:

The world is becoming increasingly interested in the IoT (Internet of Things) and the associated ecosystem. In order to minimize the environmental impact and the maintenance costs associated with such nodes, it is necessary to minimize the use of batteries for both environmental and maintenance costs. This talk demonstrates the feasibility of an autonomous IOT node harvesting energy from RF and ambient light



sources. After presenting the operation and the associate performance of each featuring function, the assembled node is tested for different scenario of energy harvesting for real-world applications: continuous RF, temporary solar, combined solar/ RF. Based on the proposed experimentation the limits and possible optimizations are further discussed.

Bio:

Thierry TARIS received his PhD degree in 2003 from the University of Bordeaux and is now Professor at Bordeaux Institute of Technology (Bordeaux-INP). His research, developed at the University of Bordeaux in the IMS Lab, focuses on the design of RF front end on advanced CMOS technologies. Dr. Taris currently heads the joined lab with NXP Semiconductors. He has published more than 100 papers in international journals and conferences, and is co-inventor of 8 patents. He is an invited Professor of the University of British Columbia (UBC), Vancouver, Canada, in 2012 and 2014, and Ecole Polytechnic Federal de Lausanne (EPFL), Lausanne, Switzerland, in 2016.

12:30 –
14:00

Pause Déjeuner

14:00 –
15:00

Club des partenaires

15:00 –
16:00

Remise des prix RISC V

16:00 –
17:00

Session Poster Labo et Pause Café

Labo : GeePS, ICube, ESME, INL, SPINTEC, CEDRIC, IRISA, IMS, LHC, LIP6, IETR, TIMA et LAAS

16:00 –
18:00

TP Logiciels Libres (Litex)

Conception de SoC avec l'outil open-source LiteX

Abstract:

Dans le domaine des systèmes embarqués, nous sommes souvent confrontés à une barrière technologique et nous devons maîtriser une multitude de logiciels et d'outils matériels. De plus, nos contributions ciblent souvent un point spécifique et nous ne sommes donc pas nécessairement experts de tous les composants d'un système sur puce (SoC). La tâche technique prend ainsi généralement beaucoup de temps lors de la création d'un test expérimental.

Nous proposons dans ces travaux pratiques de découvrir des outils permettant de déployer un SoC (avec la couche logicielle associée) et de l'évaluer sur une carte FPGA pour un cas d'utilisation de systèmes embarqués. Il existe de nombreux outils de génération de SoC propriétaire ou non. Dans l'atelier, nous proposons de découvrir LiteX qui est un outil open source. Cet atelier sera composé d'une présentation brève et de quelques ateliers pratiques pour montrer certaines possibilités de cet outil en simulation et/ou sur carte FPGA (par exemple, débogage du matériel, intégration d'un noyau type Linux, etc).



16:00 –
18:00

TP Logiciels Libres (VTR)

Exploration des architectures reconfigurables avec l'outil Verilog-To-Routing (VTR)

Abstract:

Le projet Verilog to Routing (VTR) fournit des outils de CAO (Conception Assistée par Ordinateur) à code source ouvert pour la recherche sur l'architecture et le CAO des FPGA. Le flot VTR prend en entrée une description Verilog d'un circuit numérique, et une description de l'architecture FPGA cible (architecture FPGA ouverte). Il effectue ensuite les opérations d'élaboration & Synthèse (ODIN II + Yosys), d'optimisation logique et cartographie technologique (ABC), d'analyse de l'empaquetage, du placement, du routage (VPR) pour produire des résultats sur la vitesse (délai de chemin critique), la surface du FPGA, etc. Les fichiers de sorties du placement «.place) » et du routage « .route » représentent l'ensemble des configurations nécessaire pour mettre en œuvre le circuit conçu par l'utilisateur. VTR peut également produire des informations (exemple, fichier « .fasm ») nécessaires à la génération de flux binaires pour cibler les dispositifs FPGA réels. Dans l'atelier, nous proposons de découvrir VTR qui est un outil open source. Cet atelier sera composé d'une introduction et de quelques ateliers pratiques pour montrer les différents étapes pour la conception d'une architecture numérique à partir de la définition d'une architecture matérielle FPGA .

17:00 –
18:00

AG

19:30 –
23:00

Social Event

Mercredi 14 juin

8:30 – 9:00

Accueil des Participants

9:00 –
10:15

Session 6: Systèmes connectés pour les transitions

Problématiques/challenges des systèmes numériques pour les milieux marins et océaniques

Jérôme Mars (Gipsa-Lab)

Abstract:

Dans cette présentation, Jérôme MARS présentera globalement les activités du GDR Omer puis présentera un peu plus en détail certains groupes de travail du GDR Omer qui ont des points d'accroche évidents avec les activités du GDR SoC2. Parmi l'ensembl des GTs, on peut citer :

- Outils et méthodes pour l'instrumentation
- Océan numérique
- Océan de sons, acoustique



Les activités de ces GTs seront présentées.

Cette présentation devrait permettre de d'exhiber des thématiques communes autour des aspects : localisation, traitement de données, réseaux de capteurs, frugalité des équipements en énergie, sécurité, etc

Bio:

Jérôme I. Mars (né en 1962). Master (1986) en Mécanique et Géophysique de l'Université Joseph Fourier (actuellement Université Grenoble Alpes). Doctorat (1988) en traitement du signal de l'Institut National Polytechnique de Grenoble. Laboratoires : 1989-1992: CEPHAG -Centre des Phénomènes Aléatoires et Géophysiques de Grenoble, 1992-94 : MSME -Material Sciences and Mineral Engineering, University of California, Berkeley, 1995-2007: Laboratoire Images et Signal (Resp. Equipe SIGMAPHY, puis resp. Dept Image & Signal), 2007- ...GIPSA-Lab -Grenoble Image Parole Signal et Automatique (GIPSA-Lab, UMR 5216, UGA, CNRS, G-INP), Directeur du GIPSA-Lab entre 2016 et 2020. 2021 en Délégation au BeBEST LEMAR, IUEM Il est professeur (C-Ex) à Grenoble-INP (Grenoble Institute of Technology, France). Ses thématiques de recherche couvrent le traitement statistique du signal, la séparation de sources, le traitement d'antenne, le traitement du signal pour l'acoustique des océans, l'analyse des signaux non stationnaires. En particulier, ses derniers travaux de recherche se concentrent principalement dans le domaine de la propagation des ondes (acoustique sous-marine, signal géophysique, bioacoustique). Il a produit près de 100 publications revues avec actes et plus de 250 conférences internationales, il est a encadré 35 doctorats. Actuellement il encadre 3 doctorants. Il est membre IEEE.

TERRA FORMA : une plateforme d'observation frugale de la trajectoire de nos écosystèmes naturels et anthropisés

Laurent Longuevergne (CNRS)

Abstract:

L'Anthropocène, nouvelle période géologique où les actions humaines modifient l'habitabilité de la Terre pour toutes les formes de vie, pose de nouveaux défis qui nécessite de mettre en oeuvre des approches transversales et holistiques à une échelle pertinente pour une recherche fondamentale et une action territorialisée. TERRA FORMA, projet financé par le PIA3 EQUIPEX+ vise à concevoir et tester des plateformes d'observation in-situ apportant une nouvelle vision multi-messager de l'évolution de nos territoires de vie. Ce projet s'appuie sur les dernières avancées technologiques (IoT, IA, optique, impression 3D ...) pour concevoir et tester un réseau évolutif de capteurs intelligents. Il s'agit de développer à la fois des capteurs connectés, bas cout et adaptés aux conditions de terrain, capables de mesurer un ensemble de variables émergeant des états et des flux de matière (eau, gaz, biota), mais également de construire une infrastructure de communication modulable et économe en énergie, avec une puissance de calcul pour traiter en ligne les observations générées par des capteurs hétérogènes et alimenter des bases de données quasiment en temps réel. TERRA FORMA rassemble des scientifiques, dans un effort interdisciplinaire au carrefour des sciences de la Terre, naturelles, technologiques, informatiques et sociales.

Bio:

Laurent Longuevergne est géophysicien de formation, directeur de recherche au CNRS. Son doctorat s'est intéressé au développement et à la qualification d'instruments de Terre Solide (géodésie) comme outil pour « peser » les variations de stock dans les systèmes hydrologiques. Il est responsable de l'observatoire de la Zone Critique de Ploemeur (infrastructure de recherche OZCAR), où il a fait évoluer la stratégie d'observation pour mieux fertiliser les apports réciproques de disciplines connexes



mobilisées sur l'évolution des systèmes naturels et anthropisés (Sciences de la Terre, de l'Environnement, Humaines et Sociales) et accompagner les territoires dans l'aide à la décision. Il a été récompensé comme « Highly Cited Researcher » dans la catégorie « crossfield » en 2019 et 2022. Il dirige à présent le projet PIA3 EQUIPEX+ TERRA FORMA qui mobilise des chercheurs en sciences de l'information, de ingénierie et des systèmes autour des questions environnementales.

10:15 –
11:15

Session Poster 3 et Pause Café

Réalisation de dispositifs Electroniques avancés pour la distribution quantique de clés à variables continues (CV-QKD)

Damien FRULEUX, Eleni DIAMANTI (LIP6), Philippe GRANGIER (IOGS)

First analysis and protection of the micro-architecture of a RISC-V core

Juliette POTTIER, Maria MÉNDEZ REAL, Sébastien PILLEMENT (Nantes Université)

Employing the Cell-Aware Methodology for SRAM Bit Cell Testing

Xhesila XHAFA (LIRMM), Aymen LADHAR, Eric FAEHN (STM), Lorena ANGHEL (Grenoble-INP), Gregory DI PENDINA (CNRS, CEA, INAC-SPINTEC), Patrick GIRARD, Arnaud VIRAZEL (LIRMM)

Data traffic management in a reconfigurable Network-on-Chip for dynamic neural networks

Mohamed Amine ZHIRI, Hana KRICHENE, Chiara SANDIONIGI (CEA), Sébastien PILLEMENT (Nantes Université)

Automated Design Space Exploration for High Performance Computing Processor Optimization

Mitigating Fault Injection Attacks on RISC-V Processors: State of the art and the Perspectives

Roua BOULIFA, Giorgio DI NATALE (TIMA), Paolo MAISTRI (CNRS)

Digital Oscillatory Neural Networks for AI Edge Applications

Madeleine ABERNOT (CNRS – LIRMM), Nadine AZEMARD (LIRMM), Aida TODRI-SANIAL (CNRS-LIRMM)

Efficient and uncomplicated RF harvester circuit for Powering an Ultra Low-Power Wake-up Radio

JESUS ARGOTE AGUILAR (Université de Rennes 1), MUH-DEY WEI (Chair of High Frequency Electronics, RWTH Aachen University), Florin-Doru HUTU, GUILLAUME VILLEMAUD (Univ Lyon, INSA Lyon, Inria, CITI, EA3720, 69621 Villeurbanne, France), MATTHIEU GAUTIER (Univ Rennes, CNRS, IRISA), Berder OLIVIER (Université de Rennes / IRISA), RENATO NEGRA (Chair of High Frequency Electronics, RWTH Aachen University)

Evidence of Trapping and Electrothermal Effects in Vertical Junctionless Nanowire Transistors

Yifan WANG, Housseem REZGUI (University of Bordeaux), Chhandak MUKHERJEE (IMS Laboratory), Marina DENG (University of Bordeaux), Cristell MANEUX (IMS), Guilhem LARRIEU (LAAS), Jonas MULLER (LAAS), Sylvain PELLOQUIN (LAAS-CNRS)

Intrusion Detection System for Wireless Communicating Objects

Lamoussa SANOGO, Eric ALATA, Alexandru TAKACS, Daniela DRAGOMIRESCU (LAAS-CNRS)



A hardware buffer overflow protection unit for RISC-V

Emily HOLMES, Cyprien HEUSSE, Arthur GAUTHERON, Mailis DY (INSA Toulouse), Eric ALATA, Daniela DRAGOMIRESCU (LAAS-CNRS)

Evaluation des paramètres de ranging en LoRa 2.4-GHz pour la géolocalisation d'objets connectés

Dany MERHEJ (ISSAE-CNAM Liban), Samuel GARCIA, Iness AHRIZ, Lounis ZERIOUL, Michel TERRE (CNAM)

Scratchy – An open-source lightweight and customizable scratchpad-based multi-RISCV architecture for Streaming applications

Joseph FAYE (Laboratoire IETR), Florent KERMARREC (Enjoy-Digital), Shuvra BHATTACHARYYA (Université du Maryland), Jean-François NEZAN, Maxime PELCAT (Laboratoire IETR)

Towards Low-Power Embedded ECoG Decoding

Joe SAAD (CEA)

Investigation of nanoscale electrothermal effects in JLNT device

Houssem REZGUI (University of Bordeaux), Chhandak MUKHERJEE (IMS Laboratory), Marina DENG, Cristell MANEUX (University of Bordeaux)

On-Line Testing of Neuromorphic Hardware

Theofilos SPYROU (Sorbonne Université, CNRS, LIP6), Haralampos STRATIGOPOULOS (Sorbonne Univ., CNRS, LIP6)

Architecture Configurable d'Accélérateurs de Réseaux de Neurones Basée sur du Calcul en Mémoire

emilien TALY, Pascal URARD, Roberto GUIZETTI (STMicroelectronics), Elena Ioana VATAJELU (TIMA Laboratory)

Power Reduction in Photonic Meshes by MZI Optimization

Mauricio GOMES DE QUEIROZ, Raphael CARDOSO, Mohab ABDALLA, Paul JIMENEZ (Institut des Nanotechnologies de Lyon), Ian O CONNOR, ALBERTO BOSIO (Lyon Institute of Nanotechnology), Fabio PAVANELLO (CNRS)

Neural network scoring for efficient computing

Hugo WALTSBURGER, Erwan LIBESSART, Chengfang REN, Anthony KOLAR, Regis GUINVARC'H (CentraleSupélec)

BIOMMS: a microsource for remote powering implantable medical devices

Josep Maria SÁNCHEZ CHIVA, Tianwen HUANG, Hakeim TALLEB, Aurélie GENSBITTEL (GeePs)

Accelerating Photonic Simulation with SPECS: Scalable Photonic Event-driven Circuit Simulator

Clément ZROUNBA, Raphael CARDOSO, Mauricio GOMES DE QUEIROZ, Paul JIMENEZ, Mohab ABDALLA (Institut des Nanotechnologies de Lyon), Fabio PAVANELLO (CNRS), ALBERTO BOSIO (Lyon Institute of Nanotechnology), Sébastien LE BEUX (Concordia University), Ian O CONNOR (Lyon Institute of Nanotechnology) ^

11:15 –
12:30

Session 7: thème de l'année 2023 « Open Source »

Coriolis, a RTL-to-GDSII Toolchain

Jean Paul Chaput (LIP6)

Abstract:

Starting in 1990, Sorbonne Université-CNRS/LIP6 developed Alliance, a complete VLSI CAD toolchain released under GPL. In this spirit, we are assembling an upgraded design flow for ASICs based on FOSS tools like GHDL & Yosys for logical synthesis and Coriolis for physical design. We will present the flow with a focus on the Coriolis part and some of the designs we made. This should be an important milestone toward the creation of an open hardware community.

Bio:

Jean-Paul Chaput holds a Master Degree in MicroElectronics and Software Engineering. He joined the LIP6 laboratory within Sorbonne Université or SU (formerly UPMC) in 2000. Currently he is a Research Engineer in the Analog and Mixed Signal Team (CIAN) at LIP6. His main focus is on physical level design software. He is a key contributor in developing and maintaining the Alliance/Coriolis VLSI CAD projects for CMOS technologies. In particular he contributed in developing the routers of both Alliance/Coriolis and the whole Coriolis toolchain infrastructure. He is now a key contributor in extending Alliance/Coriolis to support advanced nodes and to the Analog Mixed-Signal integration.

How AI is transforming electronics engineers activity, in design as well as in methods

Pascal Urard (STMicroelectronics)

Abstract:

Transformers constitute today the most visible part of the AI solutions, thanks to solutions like chatGPT. People are astonished in front tools that provide answers. They bring value, but also ownership & ethical questions, opening the needed debate about how to use them the right way? However, there is in parallel a much deeper and invisible wave, coming now and bringing the most important revolution of tools and methods we ever saw since the computer science generalization. All activities of electronics designs are concerned, with an exponential interest from engineers and organizations. From advanced R&D to products design, our jobs are being transformed by AI. This talk aims to present key aspects and examples of this transformation and the associated impacts in terms of productivity and job content for the upcoming engineers & PhDs. We will also have an overview of the needs in terms of universities and engineering schools knowledge and experience for students to adapt to the new challenges..

Bio:

Pascal Urard is a fellow in design of systems and ultra-low-power solutions within STMicroelectronics R&D in Crolles, France. He spent ten years in product divisions and twenty years in R&D. He invented solutions for digital communications (satellites, terrestrial, Hard-disk-drive) and participated to DVB standards. He pioneered High-Level-Synthesis, technically advising and supporting CAD-vendors to provide solutions to enable automation and a better design space exploration. He has been the design platform architect of the 40nm eNVM solutions and is now in charge of the 18 nm FDSOI design platform content and solutions to target unprecedented ULP performances.



Serial intrapreneur, he has initiated and is leading 15 AI-based innovative projects within ST aiming to transform the design activity and performances, and is co-director of Innovation of ST central-R&D. He has 29 granted or pending patents in the USA in the fields of AI or low power, and published 48 papers in major IEEE conferences. He has been part of various IEEE technical program committees, including ISSCC.

12:30 –
13:30

Pause Déjeuner

13:30 –
14:15

The ECS Strategic Research and Innovation Agenda – Role in the funding landscape and overview

Patrick Cogez (AENEAS)

Abstract:

Each year, an Electronic Components and Systems (ECS) Strategic Research and Innovation Agenda (ECS-SRIA) is developed by the experts of the ECS community, coordinated by the three industry associations: AENEAS, EPoSS and Inside. It is an open and living document, reporting the industry objectives, the societal benefits and the strategic advantages for Europe, for the next 10-15 years. While being designed as funding-agnostic, it is used as a basis for the calls of both the KDT Joint Undertaking and the EUREKA Cluster Xecs programmes, and plays therefore an essential role in aligning and coordinating research policies in Europe as well as matching the allocation of programmes and resources to different technology and policy challenges. In his presentation, Dr. Cogez will explain the ECS SRIA elaboration process and its structure. He will then provide an overview of the contents of the current SRIA (the 2023 edition), focusing on the elements most relevant for the members of the GDR SOC2, and conclude by presenting some evolution being considered for the next SRIA edition, in the context of the CHIPS Act.

Bio:

After having spent most of his career in various management positions within one of the main actors of the European semiconductor industry, Dr. Patrick Cogez has joined AENEAS in 2016 as Technical Director, covering both vision building activities and operational tasks. He drives various bodies such as the Xecs Expert Group and the AENEAS Scientific Council.

Patrick is the current Chair of the Electronics Components and Systems Strategic Research and Innovation Agenda (ECS SRIA), which provides the basis for the work programmes of the KDT Joint Undertaking and the Xecs Eureka Cluster, and he holds an active operational position in the latter programme, as well as in European projects on international cooperation and skills development.

14:15 –
15:30

Session 8: Systèmes robustes fiables et sécurisés

Injection de fautes par laser dans les mémoires Flash embarquées des microcontrôleurs

Jean-Max Dutertre (Mines Saint-Etienne)

Abstract:



Les microcontrôleurs stockent leurs programmes dans des mémoires non volatiles embarquées de type Flash. Les données mémorisées en Flash sont insensibles à l'effet photoélectrique induit lors d'une attaque par injection de fautes par laser. Cependant elles peuvent être fautées avec une grande précision lors de leur lecture au moment de l'exécution du programme. Des vulnérabilités similaires apparaissent également lors de l'écriture (programmation) de données en Flash. Cette présentation décrit les mécanismes d'injection de fautes par laser dans les mémoires Flash à architecture NOR et les vulnérabilités associées. Une contre-mesure tirant partie de l'architecture de ces mémoires et permettant la détection des attaques est également proposée.

Bio:

Prof. Jean-Max Dutertre received the M.S. and Ph. D. degrees in electronics from the University of Science of Montpellier, France, in 1998 and 2002, respectively. He is head of the Secured Architectures and Systems (SAS) research department of Mines Saint-Etienne from Institut Mines-Télécom, which is part of a joint R&D team with the CEA Leti. His research interests are with hardware attacks techniques and the design of the related counter-measures (either hardware or software). He is studying fault injection attacks of secure integrated circuits for 15 years.

New Space and Automotive Radiation Paradigms Driven by Private Constellations, Autonomous Driving and 3D IC Chiplet'ization

Philippe Roche (STMicroelectronics)

Abstract:

Bio:

Dr. Philippe Roche received the M.S. (1995) and Ph.D. (1999) in semiconductor physics. His primary activities are Single Event Effects and Total Ionizing Dose, as well as Ultra Low Voltage IPs, from sub-0.25 μ m technologies down to FinFET 20 Angstroms. He has been serving in conferences since 1997 as session chair, reviewer and short course instructor. Philippe has coauthored 300+ papers and filed 75+ patents and 3 trade marks. He was appointed Regional Fellow and Technical Director R&D in 2013, then elected as ST Corporate Fellow in 2020. After 5 years in a product organization designing ASICs, Philippe is now back to ST Central R&D (Techno Design Platforms), in charge of R&D explorations (3D, GaN, safety, nuclear civil ...) with a team of senior experts, also acting as Head of Labs & Ecosystems, including all CIFREs, with LETI, CNRS, ANRT and CIME-P as key partners.

15:30 –
15:45

Clôture du colloque

