



13^{ème} Colloque du GDR SOC2

13-15 Juin 2018 - Sorbonne Université, Paris

**Planning et résumés
des exposés et des posters**



PLANNING DES EXPOSES

Axe – Frontières et interfaces cyberphysiques

Mercredi 13 Juin – 10h

Cryogenic CMOS Interfaces for Quantum Computers

Fabio Sebastiano (TU Delft)

Axe – Méthodes et outils

Mercredi 13 Juin – 14h

**Adapt the architecture to the application,
not the application to the architecture**

Luciano Lavagno (Politecnico de Torino) :

Axe – Near Sensor Computing

Jeudi 14 Juin – 8h30

**Near sensor computing : on the trade-off
between local processing and data transmission**

Olivier Berder (IRISA) :

Smart Imager and processing integration. Challenges and market constraints

Jérôme Chossat (ST-Microelectronics) :

Axe – Objets Connectés

Jeudi 14 Juin – 11h

Cellular IoT: Opportunities and Challenges

Merouane Debbah (Huawei)

**Dans quel monde voulons-nous être connectés ?
Enjeux anthropologiques et sociaux de l'IoT**

Laurence Allard (IRCAV)

PLANNING DES EXPOSES

Axe - Sécurité et Intégrité des Systèmes

Jeudi 14 Juin – 17h

Use-cases in side-channel and machine learning

Youssef Souissi (Secure IC) :

Functional safety and in-field test of complex electronic devices

Matteo Sonza Reorda (Politecnico de Torino) :

Axe - Calcul Embarqué Haute Performance

Vendredi 15 Juin – 8h30

Architecture des processeurs pour les systèmes critiques

Pascal Sainrat (IRIT) :

Axe – Technologies du Futur

Vendredi 15 Juin – 11h

**Transistors verticaux à grille entourante:
une architecture 3D pour poursuivre la miniaturisation des dispositifs MOS**

Guilhem Larrieu (LAAS) :

Quantum Systems on Chips?

Damian Markhan (LIP6) :

PLANNING DES SESSIONS POSTERS

Mercredi 13/6 – 11h30-13h

Axe	Titre	Auteurs	N° Papier
1	Timers Virtualization Mechanisms on SoPC	Y.Tian et al.	10
1	Opérateurs en virgule fixe atteignant 40 Gop/s/mm² en technologie 65nm CMOS pour une application d'Interface Cerveau-Machine	E.Libessart et al.	13
1	Générateur de trafic mixte matériel-logiciel à très haut débit	F.Cornevaux-Juignet et al.	16
1	Fast and Cautious : overclocking sûr pour accélérateurs de réseaux de neurones convolutifs sur FPGA	T.Marty et al.	17
1	Harnessing FPGAs potential with OpenCL	M.Martelli et al.	26
3	Human Body Communication channel modeling for leadless cardiac pacemaker applications	M.Maldari et al.	3
3	Cryptographic Hardware Conception Methodology	G.Rocherolle et al.	8
3	Evaluation de la sécurité de la technologie ARM TrustZone dans un système sur puce complexe et hétérogène	E.M.Benhani et al.	52
3	Real-time scheduling of autonomous hypervised systems	T.Fautrel et al.	60
4	Microsystème pour récupération d'énergie vibratoire basé sur un transducteur capacitif	A.Bessaad et al.	36
4	Conception d'un capteur in vitro de permittivité de tissus biologiques	N.Boulboul et al.	37
4	Emetteur-Récepteur IR-UWB à basse consommation pour les réseaux de capteurs sans fil autonome	B.Benamrouche et al.	48
4	A Low Power, High Performance, Generic and Scalable IoT Device Architecture	A.Monti et al.	50

Axe	Titre
1	Calcul embarqué haute performance
2	Frontières et interfaces cyberphysiques
3	Sécurité et intégrité des systèmes
4	Objets connectés
5	Technologies du futur
6	Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes
7	Near-Sensor Computing

PLANNING DES SESSIONS POSTERS

Mercredi 13/6 – 15h30

Axe	Titre	Auteurs	N° Papier
3	Conception d'un Générateur de Signal Sinusoïdal Basé sur les Techniques d'Annulation d'Harmonique en 28nm FDSOI	<i>H.Malloug et al.</i>	11
3	Investigation of Lightweight Block Ciphers on FPGAs	<i>L.Dalmasso et al.</i>	14
3	Mixed-Signal IC Security via Logic Locking	<i>J.Leonhard et al.</i>	19
3	SECCS: SECure Context Saving for IoT Devices	<i>E.Valea et al.</i>	20
3	Stream cipher-based scan encryption in test standards	<i>M.Da Silva et al.</i>	21
5	Characterizations of Polarizable Interface CNx Adhering to Different Sticking Underlayers in Micro-fluidic Device	<i>Q.Zhang et al.</i>	5
5	Progress on Pt-Salt Doped Carbon Nanotubes for Local Interconnects	<i>J.Liang et al.</i>	7
5	A Comparison of Beamforming Schemes for 5G mm-Wave Small Cell Transmitters	<i>T.Despoisse et al.</i>	46
6	A Neural Model for RT-Level Power Estimation on FPGAs	<i>Y.Nasser et al.</i>	1
6	Ingénierie dirigée par les modèles : du modèle au circuit logique en utilisant la génération automatique de code avec la plateforme Project DEVS	<i>C.Foucher et al.</i>	4
6	Platform-Agnostic Dataflow-to-Hardware Design Flow for Coarse-Grained Reconfigurable Systems	<i>F.Palumbo et al.</i>	9
6	Méthodologie SystemC pour identifier un comportement critique dans un système embarqué dans le contexte aéronautique	<i>J.Roux et al.</i>	12
6	Electrode Connection Influences on the Sensitivity and Cutoff Frequency at the Whole-Cell Detection	<i>A.L.A.De Araujo et al.</i>	64

Axe	Titre
1	Calcul embarqué haute performance
2	Frontières et interfaces cyberphysiques
3	Sécurité et intégrité des systèmes
4	Objets connectés
5	Technologies du futur
6	Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes
7	Near-Sensor Computing

PLANNING DES SESSIONS POSTERS

Jeudi 14/6 – 10h

Axe	Titre	Auteurs	N° Papier
1	Dynamically scalable topology based NoC for virtualized FPGA cloud services	<i>H.Leake et al.</i>	30
1	Scratchpad Memory Management In a Mono-Core System	<i>J.Lagha et al.</i>	42
1	Comparaison de la consommation énergétique et du temps d'exécution d'un algorithme de traitement d'images optimisé sur des architectures SIMD et GPU	<i>A.Petreto et al.</i>	54
1	Subutai: Implantation de primitives de synchronisation au sein d'interfaces NoCs et sans modification du code source	<i>R.Cataldo et al.</i>	55
1	End-to-End Environment for Overlays	<i>L.Lagadec et al.</i>	57
2	Fully-Integrated Interferometry-Based Reflectometer for High-Impedance Instrumentation	<i>P.M.Ferreira et al.</i>	18
2	An Approximate Computing-Based Mixed-Signal Programmable Smart Image Sensor	<i>J.Le Hir et al.</i>	23
2	A Multi Millions Frames per Second CMOS Sensor With Digital Storage	<i>W.Uhring et al.</i>	29
2	Pré-amplificateur bas-bruit en technologie BiCMOS pour sonde intégrée de spectroscopie RMN sous champ fort	<i>L.Werling et al.</i>	38
6	Impact des bruits d'alimentations et des signaux parasites sur l'intégrité des signaux ultra-rapides	<i>F.Sahel</i>	27
6	Implémentation en temps réel multi-sources de l'architecture embarquée pour le comptage des foules	<i>S.Gong et al.</i>	31
6	Extraction de modèles prédictifs de sous-systèmes intégrés	<i>A.Brik et al.</i>	32
6	Systems-on-Chip Diagnosis for Automotive Applications	<i>S.Mhamdi et al.</i>	34
6	A mapping tool for configurable pipeline co-processors	<i>E.Barbudo et al.</i>	45

Axe	Titre
1	Calcul embarqué haute performance
2	Frontières et interfaces cyberphysiques
3	Sécurité et intégrité des systèmes
4	Objets connectés
5	Technologies du futur
6	Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes
7	Near-Sensor Computing

PLANNING DES SESSIONS POSTERS

Jeudi 14/6 –16h

Axe	Titre	Auteurs	N° Papier
3	Development of a Prototyping Platform for Secure Indoor Localization Techniques Evaluation	B.Pestourie et al.	22
3	Accès autorisé au réseau reconfigurable de test par ensemble de segments	V.Reynaud et al.	24
3	Thermally Assisted Switching (TAS) MRAM based TRNG	F.Ouattara et al.	25
3	Man in the middle pour l'attaque par réplication sur le bus du PCIe	M.A.Khelif et al.	28
4	Real-Time Implantable Telemetry for Cardiac Pressure--Volume Monitoring	R.Sobot	58
4	Augmentation de la Portée des Tags RFID Passifs en UHF: Un Bref Etat de l'Art	S.Baccar	65
4	Smart Vision Chip for Colon Exploration	O.L.Chuquimia et al.	66
6	An Automated Intra-Cell Diagnosis Flow for Industrial SRAMs	T-P.Ho et al.	15
6	Step-by-Step toward a fully Modular Development of DSP Applications	H.Deroui et al.	47
6	OFDMA-TDM position scheme for VLC indoor positioning system	L.Shi et al.	49
6	Lynq: A Lightweight Software Layer for Rapid SoC FPGA Prototyping	J.Dechelotte et al.	59
7	Capteur d'image RGB-Z : une introduction	V.Rebiere	40
7	Planification de Mission de Drone : Implémentation Logicielle/Matérielle	C.Hireche et al.	44

Axe	Titre
1	Calcul embarqué haute performance
2	Frontières et interfaces cyberphysiques
3	Sécurité et intégrité des systèmes
4	Objets connectés
5	Technologies du futur
6	Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes
7	Near-Sensor Computing

PLANNING DES SESSIONS POSTERS

Vendredi 15/6 – 10h

Axe	Titre	Auteurs	N° Papier
1	Modélisation et évaluation d'une architecture many-coeurs basée sur un réseau sur puce RF	<i>T.Romera et al.</i>	43
1	Optimization of energy and application performance on heterogeneous platforms	<i>M.Ait Aba et al.</i>	62
1	Déploiement d'une application de détection de polype dans une architecture dynamiquement reconfigurable à l'aide de MATIP	<i>N.M.Ravidat et al.</i>	67
2	Influence d'un champ magnétique fort sur les transistors MOS	<i>D.V.Nguyen et al.</i>	39
2	McBIM - Réseaux de Capteurs Sans-Fil pour la Fabrication de Matériaux Communicants. Applications au Domaine de la Construction.	<i>G.Loubet et al.</i>	51
2	Evaluation and Comparison of Digital Predistorter Modelling for Power Amplifiers	<i>C.Kantana et al.</i>	56
3	On using Approximate Computing in Duplication Schemes	<i>B.Deveautour et al.</i>	2
3	Automatic Test Pattern Generation for Approximate Integrated Circuits	<i>A.Virazel et al.</i>	6
3	Évaluation d'un dispositif matériel de détection d'erreurs sur un SoPC par injection de fautes	<i>D.Solet et al.</i>	33
3	Monitoring information flows in heterogeneous SoCs with a dedicated coprocessor	<i>M.A.Wahab et al.</i>	35
3	Hardware security vs software vulnerabilities	<i>Y.Boyer et al.</i>	41
5	Verification of quantum computation and the price of trust	<i>E.Kashefi et al.</i>	53
5	Overview of continuous-variable quantum key distribution with embedded devices	<i>L.T.Vidarte et al.</i>	61

Axe	Titre
1	Calcul embarqué haute performance
2	Frontières et interfaces cyberphysiques
3	Sécurité et intégrité des systèmes
4	Objets connectés
5	Technologies du futur
6	Méthodes et outils de conception, simulation, évaluation et vérification des systèmes et systèmes de systèmes
7	Near-Sensor Computing

Cryogenic CMOS Interfaces for Quantum Computers

Fabio Sebastiano - Delft University of Technology, Delft, The Netherlands

Abstract: Quantum computers hold the promise to ignite the next technological revolution as the classical computer did for last century's digital revolution, by efficiently solving problems that are intractable by today's computers. By enabling the efficient simulation of quantum systems, quantum computing will allow both the optimization of existing industrial processes and the synthesis of new drugs and materials, thus representing an unprecedented game changer with the potential to disrupt entire industries, create new ones and radically change our lives.

Quantum computers rely on processing the information stored in quantum bits (qubits) that must be typically cooled well below 1 K for proper operation. Performing operations on qubits requires a classical (i.e. non-quantum) electronic interface, which is currently implemented at room temperature for the few qubits available today. However, future quantum processors will comprise thousands or even millions of qubits. To avoid the impractical requirement of thousands of cables from the cryogenic refrigerator to the room-temperature electronics, the electronic interface must operate at cryogenic temperatures as close as possible to the qubits.

This talk will address the challenges of building such a scalable silicon-based cryogenic electronic interface, focusing on to use standard CMOS technology. We will discuss the cryogenic behavior of CMOS devices and the need for device models for circuit simulation. The development of a system design methodology will be described, including the co-design of the quantum processors and of the electronics and techniques for optimizing the quantum/classical interface for minimum power consumption. Finally, we will demonstrate the design and the functionality of complex analog and digital systems operating at 4 K, thus demonstrating that cryogenic CMOS is a viable technology to enable large-scale quantum computing.

Biography: Fabio Sebastiano received the B.Sc. (cum laude) and M.Sc. (cum laude) degrees in electrical engineering from University of Pisa, Italy, in 2003 and 2005, respectively, the M.Sc. degree (cum laude) from Sant'Anna school of Advanced Studies, Pisa, Italy, in 2006 and the Ph.D. degree from Delft University of Technology, The Netherlands, in 2011.

From 2006 to 2013, he was with NXP Semiconductors Research in Eindhoven, The Netherlands, where he conducted research on fully integrated CMOS frequency references, nanometer temperature sensors and area-efficient interfaces for magnetic sensors. In 2013, he joined Delft University of Technology, where he is currently an Assistant Professor. He has authored or co-authored one book, ten patents, and over 50 technical publications. His main research interests are cryogenic electronics for quantum applications, quantum computing, sensor read-outs and fully-integrated frequency references.

Dr. Sebastiano was the co-recipient of the best student paper award at ISCAS in 2008, the best paper award at IWASI in 2017 and the best IP award at DATE in 2018. He is a senior member of IEEE and a Distinguished Lecturer of the Solid-State Circuit Society.

METHODES ET OUTILS DE CONCEPTION, SIMULATION, EVALUATION ET VERIFICATION DES SYSTEMES ET SYSTEMES DE SYSTEMES

Exposé – Mercredi 13 Juin – 14h

Adapt the architecture to the application, not the application to the architecture

Luciano Lavagno – Politecnico de Torino

Transistor counts and performance of integrated circuits are reaching their peak.

Artificial intelligence is emerging as the next "big thing" in areas such as automated driving, security, language recognition and translation. Most of its algorithms are embarrassingly parallel, thus easing the creation of new services and the growth of existing ones, without requiring faster clock speeds.

Memory access bandwidth and energy-per-computation become the new performance indices. GPUs (e.g. Nvidia Drive PX-2) and DSPs (e.g. Mobileye Vision Computing Engines and Vector Microcode Processors) offer very high-parallelism within the scope of a fully programmable platform. However, they need to fetch and decode every instruction, and must have a relatively fixed architecture, which leads to wasted energy.

FPGAs, on the other hand, also exploit the latest technology generations, but provide a fully customizable architecture, in particular with respect to the memory hierarchy. However, they are still fully programmable, and can thus be quickly customized to new algorithms and emerging applications.

This talk will discuss why the quest for lowest energy consumption, in order to reduce packaging and operational costs, is driving implementation platforms for a variety of applications to include FPGAs for tasks that were traditionally the domain of GPUs and DSPs.

NEAR-SENSORS COMPUTING

Exposé – Jeudi 14 Juin – 8h30

Near sensor computing : on the trade-off between local processing and data transmission

Olivier Berder, IRISA, INRIA, Université de Rennes 1

Résumé: Les transmissions radio représentent généralement la majeure partie des dépenses énergétiques dans un réseau de capteurs. Pour assurer une durée de vie la plus longue possible aux quelques dizaines de milliards d'objets qui sont déjà et vont être déployés dans les prochaines années, traiter les données au plus près de la source et n'envoyer que les informations essentielles représente une option prometteuse, mais le compromis reste difficile à trouver. Nous allons explorer ce dernier sous deux angles différents. Le premier, plutôt théorique, prend en compte la dimension du réseau pour des nœuds susceptibles de récupérer l'énergie environnante. Le second, plus pragmatique, explore différents algorithmes de compression faible consommation. Nous décrirons enfin le principe de la wake-up radio, qui permet à un nœud de rester en écoute tout en consommant très peu.

Smart Imager and processing integration. Challenges and market constraints

Jérôme Chossat (ST-Microelectronics Imaging Division)

Absract: Les nouvelles technologies, et en particulier les technologies d'empilage 3D des semi-conducteurs permettent une forte intégration du traitement dans l'imager. Ceci permet d'ouvrir des perspectives applicatives vers le smart imager qui ne fournit pas d'image en sortie, mais juste les données sémantiques de la scène sous forme de méta-data.

Le prototype d'un smart imager, réalisé en process 3D stacking, sera présenté avec les applications qui ont pu être intégrées.

Nous explorerons ensuite les bénéfices et limitations de l'intégration à la fois d'un point de vue technique, mais aussi en prenant en compte les contraintes du marché.

Cellular IoT: Opportunities and Challenges

Merouane Debbah - Huawei

Abstract: The 4.5G network offers new services and experiences, potentially giving rise to new markets. Such a network proposes boosted performance both in terms of GBps and connectivity. Focusing on IoT, low-power wide area networks (LPWAs) are expected to constitute 70 percent of all cellular connections. To support this, narrowband (NB) IoT combined with enhanced MTC (eMTC) and existing 4G networks emerges as a suitable solution. It offers a wide range of applications, including bicycle sharing, smart gas meter, pet tracking, etc. NB-IoT thus becomes the new benchmark for 5G-IoT. SingleRAN is an NB-IoT implementation that exploits eMTC to better support LPWA. This allows to smoothly upgrading to 5G-IoT, while offering various exciting performance gains. In this talk, we will discuss the various opportunities and challenges for bringing 5G IoT into reality.

Biography: Mérouane Debbah entered the Ecole Normale Supérieure Paris-Saclay (France) in 1996 where he received his M.Sc and Ph.D. degrees respectively. He worked for Motorola Labs (Saclay, France) from 1999-2002 and the Vienna Research Center for Telecommunications (Vienna, Austria) until 2003. From 2003 to 2007, he joined the Mobile Communications department of the Institut Eurecom (Sophia Antipolis, France) as an Assistant Professor. Since 2007, he is a Full Professor at CentraleSupélec (Gif-sur-Yvette, France). From 2007 to 2014, he was the director of the Alcatel-Lucent Chair on Flexible Radio. Since 2014, he is Vice-President of the Huawei France R&D center and director of the Mathematical and Algorithmic Sciences Lab. His research interests lie in fundamental mathematics, algorithms, statistics, information & communication sciences research. He is an Associate Editor in Chief of the journal Random Matrix: Theory and Applications and was an associate and senior area editor for IEEE Transactions on Signal Processing respectively in 2011-2013 and 2013-2014. Mérouane Debbah is a recipient of the ERC grant MORE (Advanced Mathematical Tools for Complex Network Engineering). He is a IEEE Fellow, a WWRF Fellow and a member of the academic senate of Paris-Saclay. He has managed 8 EU projects and more than 24 national and international projects. He received 18 best paper awards, among which the 2007 IEEE GLOBECOM best paper award, the Wi-Opt 2009 best paper award, the 2010 Newcom++ best paper award, the WUN CogCom Best Paper 2012 and 2013 Award, the 2014 WCNC best paper award, the 2015 ICC best paper award, the 2015 IEEE Communications Society Leonard G. Abraham Prize, the 2015 IEEE Communications Society Fred W. Ellersick Prize, the 2016 IEEE Communications Society Best Tutorial paper award, the 2016 European Wireless Best Paper Award and the 2017 Eurasp Best Paper Award as well as the Valuetools 2007, Valuetools 2008, CrownCom2009, Valuetools 2012, SAM 2014 and 2017 IEEE Sweden VT-COM-IT Joint Chapter Best Student paper awards. He is the recipient of the Mario Boella award in 2005, the IEEE Glavieux Prize Award in 2011 and the Qualcomm Innovation Prize Award in 2012.

Dans quel monde voulons-nous être connectés ? Enjeux anthropologiques et sociaux de l'IoT

Laurence Allard – IRCAV – Institut de recherche sur le cinéma et l'audiovisuel

Abstract: A venir...

Use-cases in side-channel and machine learning

Youssef Souissi - Secure IC

Abstract: Side-channel analysis is getting smart with new tools borrowed from the field of "Artificial Intelligence". In this talk, I'll tackle the question of matching the good tool for the good leakage profile. Specifically, I'll benchmark various attack analyses: classical correlation, linear regression, vs machine learning, vs deep learning. The datasets are electromagnetic traces and cache timing leakage, captured from symmetric and asymmetric algorithms, both pre- and post-quantum."

Functional safety and in-field test of complex electronic devices

Matteo Sonza Reorda - Politecnico di Torino

Abstract: Functional safety is quickly becoming a major constraint in many application domains, starting from automotive, where autonomous driving is now the target for many research and development activities. One way for guaranteeing functional safety while matching other technical and business constraints is to rely on in-field test of the adopted Integrated Circuits. This talk will introduce the key motivations, the current solutions and best practices, the future challenges for in-field testing of the electronic devices used in safety-critical systems, with special emphasis on automotive devices. The reuse for in-field test of design for test structures and test data developed for end-of-manufacturing test is discussed, including the limitations and research challenges..

Architecture des processeurs pour les systèmes critiques

Pascal Sainrat (IRIT) :

Abstract : Les systèmes critiques nécessitent non seulement de prouver que l'exécution est fonctionnellement mais aussi temporellement correcte. Cette preuve peut être apportée par test, en général sur la machine cible, ou par analyse statique sur un modèle de la machine cible. Nous comparerons ces deux méthodes et surtout discuterons de l'architecture des machines au regard de la capacité et de la difficulté à fournir un temps d'exécution pire-cas réaliste.

Transistors verticaux à grille entourante: une architecture 3D pour poursuivre la miniaturisation des dispositifs MOS.

Guilhem Larrieu - LAAS-CNRS, Université de Toulouse, CNRS

Abstract : Aujourd'hui, les limites physiques du fonctionnement des transistors nanométriques, en particulier l'augmentation de la puissance consommée par puce, ont conduit au développement de nouvelles architectures MOS. Ainsi, les dispositifs à base de nanofils à grille entourante sont une extension naturelle des architectures FinFET actuelles, où la grille est totalement enroulée autour du canal de conduction des transistors, ce qui renforce fortement le contrôle électrostatique des porteurs se déplaçant dans le canal. Cette architecture peut être réalisée suivant deux schémas d'intégration: les configurations planaires (latérales) [1] ou verticales [2]. La configuration latérale utilise toujours des dispositions 2D conventionnelles et fait face aux mêmes limites physiques que celles des FinFETs, par exemple l'espace pour les prises de contacts ou l'encombrement des lignes métalliques dans les niveaux d'interconnexion. Il est possible d'effectuer un empilement 3D de ces transistors latéraux mais nous atteignons les limites technologiques de cette approche. Le transistor à grille entourante verticale, une technologie plus disruptive, permet de passer d'une configuration 2D à une réelle configuration 3D, avec la longueur de grille du transistor définie verticalement. L'intégration verticale est une approche particulièrement intéressante en raison de sa nature intrinsèque 3D, qui est plus favorable à la miniaturisation du pitch des transistors [3]. Le transistor à nanofil verticaux est aussi technologiquement intéressant, car la longueur de la grille est simplement définie par l'épaisseur du matériau de grille déposé [2]. Au cours de cette présentation, nous discuterons et mettrons en perspective ces différents éléments.

[1] C. Dupre et al., 2008 IEEE International Electron Devices Meeting, San Francisco, CA, 2008, pp. 1-4.

[2] G. Larrieu, X.L. Han, "Vertical nanowire array-based field effect transistors for ultimate scaling", *Nanoscale*, 5, (2013) 2437–2441.

[3] AV-Y. Thean et al., *Symposium on VLSI Technology Digest of Technical Papers*, 2015

Quantum Systems on Chips?

Damian Markhan, Laboratoire d'Informatique de Paris 6, Sorbonne Université

Abstract : As chips get smaller and smaller their designs will necessarily enter the quantum realm. In recent years we have begun to understand that these quantum features can in fact offer incredible advantages if they can be controlled. In this talk I will give an overview of some of these. I will present the computational speed up in quantum computing, the unparalleled security and efficiency in quantum communication and boosts to precision quantum sensing. I will talk about how networks connecting these quantum devices might look like and some of the major challenges that we face to make these ideas reality.

SESSION POSTER – Mercredi 13 Juin, 11h30-13h

Résumés des posters

Timers Virtualization Mechanisms on SoPC	N° Papier
<i>Ye Tian, Fabienne Nouvel and Jean-Christophe Prevotet</i>	10

This paper presents the management of timers in a virtualization context based on a CPU-FPGA hybrid System-on-Chip. In this work, new mechanisms are provided in the hardware part of the FPGA in order to reduce the virtual timer access overhead.

[Télécharger l'article](#)

Opérateurs en virgule fixe atteignant 40 Gop/s/mm ² en technologie 65nm CMOS pour une application d'Interface Cerveau-Machine	N° Papier
<i>Erwan Libessart, Matthieu Arzel, Cyril Lahuec and Francesco Andriulli</i>	13

Le domaine des Interfaces Cerveau-Machine est en développement constant depuis les années 70. L'utilisation de l'électroencéphalographie est une voie prometteuse afin d'obtenir des interfaces avec un potentiel commercial. Il reste cependant des verrous à débloquent notamment au niveau de la résolution spatiale. La résolution du problème inverse permet d'améliorer cet aspect, mais nécessite une grande quantité de calculs, avec notamment des opérations non-linéaires. Il peut donc être intéressant de déporter ces calculs vers un accélérateur dédié sur cible FPGA ou ASIC. Ce papier présente les travaux effectués sur les opérateurs de calcul d'inverse et d'inverse de la racine carrée en virgule fixe. Les architectures sur 16 bits ainsi obtenues atteignent la performance de calcul de 40 Gop/s/mm² en technologie 65 nm CMOS

[Télécharger l'article](#)

Générateur de trafic mixte matériel-logiciel à très haut débit	N° Papier
<i>Franck Cornevaux-Juignet, Matthieu Arzel, Pierre-Henri Horrein and Christian Person</i>	16

L'émergence du tout connecté nécessite le développement d'équipements réseaux toujours plus performants pour faire face à la fois à l'augmentation des débits et à la diversité des paquets. Générer du trafic à très haut débit est nécessaire pour la validation de tels équipements. Ce papier présente un générateur de trafic innovant tirant profit d'une collaboration matérielle et logicielle pour générer des flots de paquets ayant une composition dynamique. Il est possible de créer du trafic à plus de 40 Gb/s et dynamiquement choisi à partir d'une application logicielle via une API, sans interrompre la génération.

[Télécharger l'article](#)

Fast and Cautious : overclocking sûr pour accélérateurs de réseaux de neurones convolutifs sur FPGA	N° Papier
<i>Thibaut Marty, Tomofumi Yuki and Steven Derrien</i>	17

Les réseaux de neurones convolutifs (CNN) ont beaucoup gagné en popularité en traitement d'images ou vidéos. Des accélérateurs matériels pour CNN sont aujourd'hui nécessaires pour obtenir des implémentations efficaces énergétiquement. Dans cet article, nous proposons une nouvelle technique pour améliorer l'efficacité des couches de convolution des CNN basée sur la spéculation temporelle (overclocking). Nous développons un mécanisme de détection d'erreur léger, inspiré par la tolérance aux fautes au niveau algorithmique (ABFT), pour protéger contre les erreurs temporelles et permettre un overclocking agressif. Nous avons utilisé un ensemble de cartes Zybo pour montrer expérimentalement que nous pouvons accroître la fréquence de 17 à 36% avec une faible probabilité d'erreur et que ces erreurs rares sont détectées avec un surcout négligeable (1000 LUT).

[Télécharger l'article](#)

Harnessing FPGAs potential with OpenCL	N° Papier
<i>Maxime Martelli, Nicolas Gac, Alain Merigot and Cyrille Enderli</i>	26

The work presented deals with the evaluation of FPGAs resurgence for hardware and software acceleration. We focus our attention on the tools developed by FPGAs manufacturers, in particular the Intel FPGA SDK for OpenCL, that promises a new level of hardware abstraction from the developer's perspective, allowing a software-like programming of FPGAs. Our first contribution is to propose an accurate memory benchmark, and we follow with an evaluation of different custom OpenCL implementations of one use case: the computed tomography. With some clues on memory fetching and coalescing, we then further tune designs to improve performance. Finally, a comparison is made with GPU implementations, and a preliminary conclusion is drawn on FPGAs future in the semi-conductor realm.

[Télécharger l'article](#)

Human Body Communication channel modeling for leadless cardiac pacemaker applications	N° Papier
<i>Mirko Maldari, Karima Amara, Chadi Jabbour and Patricia Desgreys</i>	3

This work describes Human Body Communication channel modeling for intracardiac medical devices by means of Computed Electromagnetic Simulations based on Finite Element Method (FEM). First Results about HBC attenuation levels are discussed in the document. This kind of analysis is essential for defining specification of the transceiver architecture that will be designed and prototyped for future works.

[Télécharger l'article](#)

Cryptographic Hardware Conception Methodology	N° Papier
<i>Gabriel Rocherolle and Roselyne Chotin-Avot</i>	8

Although side channel attacks are well known by security community and efficient counter-measure available, problem remains that critical implementations require specialized knowledge, and security being taken as a whole approach. Hence the need for a design methodology, with reusable know-how. In practice, once overlooked in the past, security aspects are now regarded as any design constraints. Hardly fitting with performance requirements, demanding elaborate testing, prone to threats resurgence from one implementation to the next, to mixed designer expertise regarding various possible threats, common to rare. In this paper we address this need with a conception methodology, providing designers with model and knowledge base driven guidance to achieve robust designs against side channel vulnerabilities

[Télécharger l'article](#)

Evaluation de la sécurité de la technologie ARM TrustZone dans un système sur puce complexe et hétérogène	N° Papier
<i>El Mehdi Benhani and Lilian Bossuet</i>	52

La cybersécurité des systèmes embarqués est devenue un enjeu majeur pour le développement de l'internet des objets sans pour autant entrainer les acteurs industriels à y consacrer une part importante du budget de conception. Des technologies comme la technologie TrustZone, proposée par la société ARM, permettent de supporter une architecture logicielle d'exécution de confiance (TEE, Trusted Execution Environment) et sont des solutions intégrées peu coûteuses. Si ces technologies permettent une isolation et une exécution sécurisée d'applications critiques (par exemple bancaires) plusieurs travaux récents ont mis en lumière plusieurs failles ou limites de sécurité. Par exemple, dans le cas de processeurs ARM embarqués dans des SoC hétérogènes du type Xilinx Zynq ou Intel SoC FPGA, il existe de nombreux problèmes de sécurité lorsque le concepteur tente d'élargir la TrustZone au-delà du coeur de processeur à toute la logique programmable. Cet article présente une étude menée dans ce contexte.

[Télécharger l'article](#)

Real-time scheduling of autonomous hypervised systems	N° Papier
<i>Tristan Fautrel, Frédéric Fauberteau, Laurent George and Thierry Grandpierre</i>	60

In this work we provide a response time analysis for a specific two-level hierarchical model extracted from a real-life virtualization tool. Using this analysis we provide an algorithmic approach to size the VMs on the first level of this model. We then propose to extend this model to the mixed-criticality approach or to include dual priority scheduling algorithms to increase the schedulability of tasks in this model.

[Télécharger l'article](#)

Microsystème pour récupération d'énergie vibratoire basé sur un transducteur capacitif	N° Papier
<i>Abdelkrim Bessaad, Mohammed Bedier and Dimitri Galayko</i>	36

Dans cet article, nous présentons notre projet de conception d'un circuit intégré en technologie CMOS AMS035 pour la gestion de puissance d'un récupérateur d'énergie vibratoire basé sur un transducteur capacitif fabriqué en technologie MEMS. Ce système permet la récupération d'énergie de l'ordre du microWatt (μW) grâce à une électronique ultra-basse consommation. L'autonomie du microsystème est assurée par un circuit de démarrage et un circuit d'auto-alimentation.

[Télécharger l'article](#)

Conception d'un capteur in vitro de permittivité de tissus biologiques	N° Papier
<i>Nezar Boulboul, Morgane Commereuc, Florian Kolbl and Emmanuelle Bourdel</i>	37

Nous présentons ici un capteur de permittivité destiné à la caractérisation de matériaux et tissus biologiques en culture. Ce capteur repose sur l'utilisation d'un résonateur à lignes de transmission. Les premiers résultats de simulation et la réalisation d'un prototype sur substrat Teflon ont permis de valider le principe de mesure. La structure conçue permet la caractérisation du matériau pour des fréquences de l'ordre du GHz.

[Télécharger l'article](#)

Emetteur-Récepteur IR-UWB à basse consommation pour les réseaux de capteurs sans fil autonome	N° Papier
<i>Bilal Benamrouche and Daniela Dragomirescu</i>	48

La consommation d'énergie est une préoccupation majeure dans les conceptions d'émetteur-récepteur actuels et futurs. Le travail présenté dans ce papier est dans le cadre du projet CHIST-ERA SMARTER (Smart Multifunctional Architecture and Technology for Energy aware wireless sensoRs). Le défi est de développer un réseau de capteurs sans fil basée sur l'Impulse Radio Ultra-large bande (IR-UWB) avec récupération d'énergie. Le dispositif final sera intégré sur substrat souple qui peut être placé dans des surfaces planes ou courbes. Notre travail consiste à développer un émetteur-récepteur sans-fil UWB-IR ultra basse consommation.

[Télécharger l'article](#)

A Low Power, High Performance, Generic and Scalable IoT Device Architecture	N° Papier
<i>Alexandre Monti, Eric Alata, Alexandru Takacs and Daniela Dragomirescu</i>	50

In this paper we present a generic sensor platform architecture with high processing power allowing the integration of many potentially energy-consuming sensors or communication devices, while offering mechanisms to control the overall energy consumption of the platform and available processing power. Tuning is achieved by defining separate power supply domains that can be turned on or off in an efficient manner, eliminating quiescent current drawn by elements within the domain. We present the devised architecture through an example industrial IoT application.

[Télécharger l'article](#)

SESSION POSTER – Mercredi 13 Juin, 15h30-16h30

Résumés des posters

Conception d'un Générateur de Signal Sinusoïdal Basé sur les Techniques d'Annulation d'Harmonique en 28nm FDSOI	N° Papier
<i>Hani Malloug, Manuel Barragan and Salvador Mir</i>	11

Ce papier présente la conception d'un générateur de signal sinusoïdal intégré de haute linéarité, qui applique une stratégie d'annulation d'harmonique pour le BIST des circuits intégrés mixtes. La stratégie d'annulation d'harmonique exploitée est basée sur la combinaison de 5 signaux carrés, avec des amplitudes et des phases prédéfinies, pour produire un signal sinusoïdal dont les harmoniques d'ordre inférieur au 11^{ème} sont annulées. Une simple méthode de calibration est aussi introduite afin de corriger l'impact du non appariement et de la variation du processus de fabrication sur l'efficacité de la technique d'annulation d'harmonique. Les simulations électriques de la conception proposée en 28nm FDSOI montrent un signal de sortie de haute linéarité avec un SFRD > 70 dB à 166 MHz.

[Télécharger l'article](#)

Investigation of Lightweight Block Ciphers on FPGAs	N° Papier
<i>Loïc Dalmasso, Pascal Benoit, Florent Bruguier and Lionel Torres</i>	14

Lightweight cryptography has recently emerged as a strong requirement for any highly constrained connected device: encryption/decryption processes must strike the balance between speed, area, power efficiency and robustness. This work studies the potential gains of lightweight cryptography algorithms compared to the classic ones, in hardware and software implementations. The results show the expected benefits in terms of throughput, area and power-consumption.

[Télécharger l'article](#)

Mixed-Signal IC Security via Logic Locking	N° Papier
<i>Julian Leonhard, Muhammed Yasin, Shadi Turk, Mohammed Thari Nabeel, Marie-Minerve Louërat, Roselyne Chotin-Avot, Hassan Aboushady, Ozgur Sinanoglu and Haralampos-G. Stratigopoulos</i>	19

Analog hardware security is a largely unexplored topic and solutions are seriously lagging behind those for the digital counterpart. In this paper, we propose a hardware security methodology for mixed-signal Integrated Circuits (ICs), which represent a large subclass of analog ICs. The methodology can be used as a countermeasure for IC piracy, including counterfeiting and reverse engineering. It consists of locking the digital section of the mixed-signal IC, such that unless the correct key is provided, the mixed-signal performance will be pushed outside of the acceptable specification range. Metrics are proposed to quantify the security in the analog domain. The proposed methodology presents several appealing properties. It is non-intrusive for the analog section, it incurs reasonable area and power overhead, it can be fully automated, and it is virtually applicable to a wide range of mixed-signal ICs. We demonstrate it on a Sigma-Delta Analog-to-Digital Converter (ADC) using a state-of-the-art logic locking technique, called Stripped Functionality Logic Locking (SFL). We show that the Signal-to-Noise Ratio (SNR) is dramatically corrupted unless the correct key is provided. We also show that strong security levels against all known logic locking attacks can be achieved.

[Télécharger l'article](#)

SECCS: SECure Context Saving for IoT Devices	N° Papier
<i>Emanuele Valea, Mathieu Da Silva, Giorgio Di Natale, Marie-Lise Flottes, Sophie Dupuis and Bruno Rouzeyre</i>	20

Energy consumption of IoT devices is a very important issue. For this reason, many techniques have been developed to allow IoT nodes to be aware of the amount of available energy. When energy is missing, the device halts and saves its state. One of those techniques is context saving, relying on the use of Non-Volatile Memories (NVM) to store and restore the state of the device. However, this information, as far as IoT devices deal with security, might be the target of attacks, including tampering and theft of confidential data. In this paper, we propose a SECure Context Saving (SECCS) approach that provides a context saving procedure and a hardware module easy to implement inside a System on Chip (SoC). This approach provides both confidentiality and integrity to all the CPU content saved into the target NVM.

[Télécharger l'article](#)

Stream cipher-based scan encryption in test standards	N° Papier
<i>Mathieu Da Silva, Emanuele Valea, Marie-Lise Flottes, Giorgio Di Natale and Bruno Rouzeyre</i>	21

Scan chains offer facilities to steal secret information embedded in a circuit. For instance on a crypto-processor, collecting data related to the round register leads to reveal the secret key used for encryption. To protect against this threat while maintaining the test and debug features, countermeasures are implemented on the test interface or on the scan chain itself. Among the countermeasures, some of them are based on stream ciphers, consisting in the encryption of both controlled and observed data in the scan chain. We show in this paper that the stream cipher protection presents vulnerabilities if the keystream generated by the stream cipher is identical after a reset.

[Télécharger l'article](#)

Characterizations of Polarizable Interface CNx Adhering to Different Sticking Underlayers in Micro-fluidic Device	N° Papier
<i>Qiongdi Zhang, Ming Zhang, Antoine Pallandre and Anne-Marie Haghiri-Gosnet</i>	5

This paper discusses the behavior of an amorphous material carbon nitride (CNx) as a dielectric polarizable interface adhering to three different sticking underlayers within a micro-fluidic device. These three materials are: SiC, Al₂O₃ as insulators and Pt as metal.

[Télécharger l'article](#)

Progress on Pt-Salt Doped Carbon Nanotubes for Local Interconnects	N° Papier
<i>Jie Liang, Raphael Ramos, Jean Dijon, Hanako Okuno, Dipankar Kalita, Jaehyun Lee, Vihar Georgiev, Salim Berrada, Toufik Sadi, Asen Asenov, Benjamin Uhlig, Katherina Lilienthal, Abitha Dhavamani, Fabian Koenemann, Bernd Gotsmann, Goncalo Goncalves, Bingan Chen, Ken Teo, Reeturaj Pandey and Aida Todri-Saniai</i>	7

We investigate, by combining physical and electrical measurements together with an atomistic-to-circuit modeling approach, the conductance of doped carbon nanotubes (CNTs) and their eligibility as possible candidate for next generation back-end-of-line (BEOL) interconnects. Ab-initio simulations predict a doping-related shift of the Fermi level, which reduces shell chirality variability and improves electrical conductance up to 90% by converting semiconducting shells to metallic. Circuit-level simulations predict up to 88% signal delay improvement with doped vs. pristine CNT. Electrical measurements of Pt-salt doped CNTs provide up to 50% of resistance reduction which is a milestone result for future CNT interconnect technology.

[Télécharger l'article](#)

A Comparison of Beamforming Schemes for 5G mm-Wave Small Cell Transmitters	N° Papier
<i>Thibaut Despoisse, Anthony Ghiotto, Pierre Busson and Nathalie Deltimple</i>	46

The combination of Massive MIMO (M-MIMO) and small cells has been selected for the fifth generation (5G) of mobile telecommunication systems. But large-scale antenna arrays and extreme densification brings an important power consumption which is not compliant with the energy saving needs. Early studies have excluded fully-digital transmitters due to their high power consumption and complexity. However, the benefits of hybrid beamforming systems may not be so obvious. This paper presents an overview of 5G requirements and prospective solutions. It focuses on the base station transmitter topologies for small cells and compare their power consumption and complexity. As hybrid beamforming is suitable for small arrays covering few users, fully-digital transmitters seems compliant with larger systems to reach 5G targets.

[Télécharger l'article](#)

A Neural Model for RT-Level Power Estimation on FPGAs	N° Papier
<i>Yehya Nasser, Jean-Christophe Prévotet and Maryline Helard</i>	1

Power optimization is required all along the design flow but particularly in the first steps where it has the strongest impact. In this work, we propose new power models based on neural networks that predict the power consumed by digital operators implemented on Field Programmable Gate Arrays (FPGAs). These operators are interconnected and the statistical information of data patterns are propagated among them. The obtained results make an overall power estimation of a specific design possible. A comparison is performed to evaluate the accuracy of our power models against the estimations provided by the Xilinx Power Analyzer (XPA) tool. Our approach is verified at system-level where different processing systems are implemented. A mean absolute percentage error which is less than 8% is shown versus the Xilinx classic flow dedicated to power estimation.

[Télécharger l'article](#)

Ingénierie dirigée par les modèles : du modèle au circuit logique en utilisant la génération automatique de code avec la plateforme Project DEVS	N° Papier
<i>Clément Foucher and Vincent Albert</i>	4

La conception d'un produit est une opération complexe, sans cesse contrainte par des objectifs de réduction du temps de développement. L'ingénierie système définit un cadre général destiné à optimiser le cycle de développement et à standardiser les échanges entre les différents acteurs. Une méthode particulièrement utilisée à l'heure actuelle consiste à modéliser le produit le plus en amont possible, afin de permettre de réaliser sur les modèles différents tests, notamment via la simulation. L'ingénierie dirigée par les modèles propose notamment une approche consistant à modéliser le système dès le plus haut niveau puis à raffiner successivement les modèles pour arriver au produit final. La traçabilité entre les différents niveaux de modèle est primordiale dans cette approche, et peut passer idéalement par des transformations automatisées du modèle. Par exemple, la méthode dite de Rapid Control Prototyping (RCP) génère automatiquement le code exécutable destiné à la partie contrôle-commande du système depuis les modèles de celui-ci. Dans cet article, nous présentons la plateforme Project DEVS, qui permet la modélisation et la simulation de modèles à évènement discrets. Nous nous concentrerons plus particulièrement sur la mise en œuvre de la génération de code matérielle, permettant une exécution de la simulation sur FPGA.

[Télécharger l'article](#)

Platform-Agnostic Dataflow-to-Hardware Design Flow for Coarse-Grained Reconfigurable Systems	N° Papier
<i>Francesca Palumbo, Claudio Rubattu, Carlo Sau, Luigi Raffo and Maxime Pelcat</i>	9

Coarse-Grained Reconfigurable (CGR) hardware systems have the advantage to combine the energy efficiency of hardware with the advanced adaptation capabilities required by modern applications. However, the design of CGR systems is an error prone and complex operation. In this document, we propose a platform-agnostic environment for automating the design of CGR hardware platforms from a dataflow CAPH code and an automated combination of different datapaths. Preliminary performance numbers are given and compared to previous tools.

[Télécharger l'article](#)

Méthodologie SystemC pour identifier un comportement critique dans un système embarqué dans le contexte aéronautique	N° Papier
	12
<i>Julie Roux, Vincent Berouille, Katell Morin-Allory, Régis Leveugle, Lilian Bossuet, Frédéric Cézilly, Gilles Genévrier and François Cerisier</i>	

L'injection de fautes permet d'identifier des blocs critiques dans les systèmes embarqués. Ces derniers devenant de plus en plus complexes, il est impossible de les simuler entièrement au niveau RTL. La solution est alors de modéliser le système à plus haut niveau d'abstraction en utilisant SystemC ce qui permet de réduire les temps de simulations. Cependant, la simulation et l'injection de fautes à un tel niveau entraîne une perte de précision. Ce papier a pour but de présenter une méthodologie qui permettra de faire de l'injection de fautes à haut niveau d'abstraction, tout en s'assurant de la pertinence des modèles de fautes utilisés.

[Télécharger l'article](#)

Electrode Connection Influences on the Sensitivity and Cutoff Frequency at the Whole-Cell Detection	N° Papier
	64
<i>Arthur Luiz Alves de Araujo, Julien Claudel, Mustapha Nadi and Djilali Kourtiche</i>	

The detection limit of biological cells using impedance spectroscopy is a very important parameter that, when improved, allows the sensor to detect smaller quantities of bacteria, allowing a faster and more sensitive detection. Reduce the size of the electrodes is one way to improve the detection limit. However, since the electrodes are reduced, the electrode connections can influence the sensor sensibility and the measurement frequency band. In this work we show these influences using the finite element method (FEM) simulations, electrical and analytical models and we developed an original sensor design able to detect very few biological cells concentration, up to a single cell.

[Télécharger l'article](#)

SESSION POSTER – Jeudi 14 Juin, 10h-11h

Résumés des posters

Dynamically scalable topology based NoC for virtualized FPGA cloud services	N° Papier
<i>Hiliwi Leake Kidane and El-Bay Bourennane</i>	30

The use of FPGAs as an accelerator in datacenters and cloud computing is increasing exponentially. In the last few years, Xilinx and Intel have been working with different partner companies to provide FPGA acceleration to end users. The partner companies are responsible to design acceleration functions for end users by identifying the workload the end user want to accelerate. Thanks to the introduction of the dynamic partial reconfiguration (DPR) ability of the FPGA, virtualization of the FPGA at small scale and provision of virtualized FPGA services has also been proposed in order to share the FPGA resources during run-time. However, the DPR based virtualized FPGA is prone to high power consumption unless a virtualization-aware communication architecture is designed. In this paper, a virtualization-aware dynamically scalable topology based NoC for virtualized FPGA cloud services is proposed. The NoC topology is divided into dynamically reconfigurable rows and columns and the topology size adapts to the number of active virtualized components of the FPGA activated. The experimental result shows that a significant amount of power can be saved by adopting the NoC topology to the size of active virtualized components of the FPGA.

[Télécharger l'article](#)

Scratchpad Memory Management In a Mono-Core System	N° Papier
<i>Joumana Lagha, Jean-Luc Béchenne, Sebastien Faucou and Olivier Roux</i>	42

The scratchpad memory is a special SRAM memory placed close to the processor. Unlike caches, it requires an explicit management of transfers from/to main memory. However, compared to caches it is motivated by its better real-time predictability, and by its significantly lower overheads in energy consumption, area and overall runtime. In this paper, we develop a scratchpad memory management technique for a mono-core system, we model the different states of the scratchpad as a timed graph and we try to find the shortest path that reduce the cost of memory transfer between main memory and scratchpad while taking into consideration the real-time constraints of applications.

[Télécharger l'article](#)

Comparaison de la consommation énergétique et du temps d'exécution d'un algorithme de traitement d'images optimisé sur des architectures SIMD et GPU	N° Papier
<i>Andrea Petreto, Arthur Hennequin, Thomas Koehler, Thomas Romera, Yohan Fargeix, Boris Gaillard, Manuel Bouyer, Quentin Meunier and Lionel Lacassagne</i>	54

Cet article présente et compare les implémentations optimisées d'un algorithme de flot optique sur des cartes embarquées à base de processeurs SIMD multicœurs et de GPU. La comparaison est effectuée à la fois en termes de vitesse de calcul – pour atteindre une cadence de traitement temps réel – et en termes d'énergie. Les résultats obtenus montrent que les GPU sont les plus efficaces à la fois en termes de vitesse et de consommation.

[Télécharger l'article](#)

Subutai: Implantation de primitives de synchronisation au sein d'interfaces NoCs et sans modification du code source	N° Papier
<i>Rodrigo Cataldo, Kevin Martin and Jean-Philippe Diquet</i>	55

Subutai est une solution logicielle et matérielle qui adresse spécifiquement la question de la pénalité introduite par le traitement des synchronisations au sein d'architectures multiprocesseurs à base de NoC. La solution proposée repose sur l'externalisation des services de synchronisation au sein des interfaces du NoC (NI) dont l'architecture matérielle est augmentée de nouvelles capacités de traitement à l'aide de ressources matérielles dédiées. Notre approche étend donc les services la NI en implantant de manière distribuée les primitives mutex, barrier et condition. De plus nous proposons des nouveaux types de paquets pour transporter les requêtes de synchronisation. Enfin nous avons développé des API (Application Programming Interface) qui remplacent les API existantes avec une interface inchangée afin de ne pas contraindre les concepteurs à changer le code originel des applications. Le code et l'OS, qui dispose d'un nouveau driver, restant inchangés une simple recompilation est requise. La Figure 1 montre comment notre solution interagit avec son environnement. Nous avons démontré l'intérêt de notre solution à l'aide du simulateur GEM5 et d'applications du benchmark PARSEC (streamcluster et bodytrack). Nous utilisons les traces produites pour alimenter notre propre simulateur SystemC conçu produire des résultats dans un temps raisonnable. Ce travail a abouti à 5 contributions (i) une solution pour accélérer les applications parallèles sans modification du code; (ii) une architecture de NI avec des ressources dédiées pour le traitement rapide des primitives de synchronisation tout en demeurant compatible avec l'usage classique de NoC et en disposant d'une mémoire locale; (iii) un jeu d'API pour calcul parallèle; (iv) un simulateur basé sur des traces pour accélérer la simulation d'applications réelles; et (v) la synthèse de l'architecture de la NI avec une technologie 28 nm SOI.

[Télécharger l'article](#)

End-to-End Environment for Overlays	N° Papier
<i>Loïc Lagadec and Jean-Christophe Le Lann</i>	57

The overlay approach –FPGA over FPGA– has a number of expected benefits, including bitstream compatibility between different vendors and parts, fast reconfiguration and, more generally, ease of use. However the number of complex engineering tasks to design, explore and make use of such overlays severely restrains their diffusion. This paper presents a downloadable integrated tool flow named Argen. Argen supports defining reconfigurable architecture and generating the corresponding overlay along with its System-on-chip exploitation environment.

[Télécharger l'article](#)

Fully-Integrated Interferometry-Based Reflectometer for High-Impedance Instrumentation	N° Papier
<i>Pietro Maris Ferreira, Cora Donche, Emilie Avignon-Meseldzija, Thomas Quémerais, Frederic Giancesello, Daniel Gloria, Tuami Lasri, Gilles Dambrine and Christophe Gaquière</i>	18

Microwave imaging of nanoelectronic devices has turned a simple reflection coefficient measurement, usually carried out by a 50 W vector-network analyzer (VNA), into a high impedance instrumentation challenge. Interferometry-Based Reflectometers (IBR) have been found to be successful solutions in addressing this challenge. However, such solutions do not consider instrumentation of high impedance and high-frequency as well as minimization of environment variations in a comprehensive manner. In this study, these aspects are addressed jointly through the proposal of a fully-integrated IBR in the STMicroelectronics BiCMOS 55 nm technology. Three varactor samples having a capacitance ranging from 0.65 fF to 0.95 fF are measured at 17.6 GHz for demonstration. The fully-integrated IBR achieved a magnitude error below -35 dB, a phase error below 0.03°, and an accuracy better than 59.7 aF. Moreover, C-V slope measurement error is better than 2.8 aF, which is ten times smaller than found in state-of-the-art IBR. Such betterment is explained by the monolithic integration of IBR and device-under-test (DUT) as implemented in this work.

[Télécharger l'article](#)

An Approximate Computing-Based Mixed-Signal Programmable Smart Image Sensor	N° Papier
<i>Juliette Le Hir and Anthony Kolar</i>	23

Smart vision systems on a chip are promising for highly embedded applications. To improve the balance between programmability and pixel optimization (area and fill factor), we used a macropixel approach. Here a macropixel (3x3 pixels) has one processing element, a switched capacitor circuit which can perform downsampled spatial convolution or temporal difference. Post-layout simulations for edge detection validate the design which keeps a good fill factor (30% versus 37% with no in-matrix processing).

[Télécharger l'article](#)

A Multi Millions Frames per Second CMOS Sensor With Digital Storage	N° Papier
<i>Wilfried Uhring, Laurent Millet, Bertrand Misichi, Fatah Rarbi, Fabrice Guellec, Daniel Dzahini, Octavian Maciu, Jean-Baptiste Kammerer and Gilles Sicard</i>	29

This paper describes a 3D Integrated Circuit (3DIC) architecture of a burst image sensor (BIS) with embedded digitization and digital storage. This architecture also proposes a new technique to increase both the frame rate and the stored image capacity at the cost of a spatial resolution reduction. A 2D monolithic demonstrator that takes into account the constraints of a future 3D-IC imager has been fabricated. Experimental results are presented showing that a frame rate from 5 up to 45 Mega frames per second can be achieved. This fully functional approach paves the way to the very first digital BIS.

[Télécharger l'article](#)

Pré-amplificateur bas-bruit en technologie BiCMOS pour sonde intégrée de spectroscopie RMN sous champ fort	N° Papier
<i>Lucas Werling, Duc-Vinh Nguyen, Norbert Dumas, Wilfried Uhring, Latifa Fakri-Bouchet and Luc Hebrard</i>	38

La Résonnance Magnétique Nucléaire (RMN) offre une méthode d'analyse des composés chimiques in vivo non destructive et est un outil de choix pour la recherche biomédicale. Actuellement les forts champs magnétiques disponibles au sein des IRM (Imagerie par Résonance Magnétique) permettent de travailler sur des échantillons de 10 à 30mm³. Cependant la résolution des spectres reste limitée en raison des bobines macroscopiques utilisées (faible coefficient de remplissage : « filling-factor » bobine/échantillon). Il y a donc un grand intérêt à miniaturiser la bobine de réception et son électronique de conditionnement pour créer une micro-sonde RMN implantable au plus près du volume à analyser, avec un « filling-factor » de quasi 100% pour des volumes aussi petit que 1 mm³. Nous travaillons à la réalisation d'une micro-sonde RMN implantable et cet article présente le préamplificateur bas-bruit RF qui sera intégré au sein de la micro-sonde pour conditionner le signal RMN avant son analyse par le spectromètre de l'IRM.

[Télécharger l'article](#)

Impact des bruits d'alimentations et des signaux parasites sur l'intégrité des signaux ultra-rapides	N° Papier
<i>Faten Sahel</i>	27

Pour répondre aux besoins croissants des systèmes électroniques en performance et en rapidité, l'électronique numérique a rejoint l'analogique pour former des circuits mixtes ultra-rapides. De cette mixité émerge la nécessité de contrôler l'intégrité des signaux échangés entre les composants, et de leur assurer une bonne protection contre les éventuelles perturbations causées par leur environnement. Cet article présente les caractéristiques des modules critiques présents sur des cartes électroniques à haute densité et à forte puissance employées pour le calcul haute performance, ainsi que les problématiques liées à leur cohabitation.

[Télécharger l'article](#)

Implémentation en temps réel multi-sources de l'architecture embarquée pour le comptage des foules	N° Papier
<i>Songchenchen Gong and El-Bay Bourennane</i>	31

Nous proposons dans cette étude une méthode qui fusionne les caractéristiques de comptage de population. À l'aide de méthodes d'extraction de caractéristiques d'images et d'analyse de texture, les données sont obtenues sur des quantités estimées. Notre méthode n'utilise que des images fixes pour estimer le nombre d'images à haute densité, nous ne pouvons pas compter sur une seule caractéristique pour calculer l'estimation. Par conséquent, nous utilisons une variété de sources, à savoir: HOG, LBP. Ces sources fournissent des estimations séparées et d'autres combinaisons de mesures statistiques. Grâce à la classification et à l'analyse de régression de machines vectorielles de support (SVM), nous pouvons obtenir le nombre de populations à haute densité. Cette méthode est donc efficace y compris dans les scènes bondées.

[Télécharger l'article](#)

Extraction de modèles prédictifs de sous-systèmes intégrés	N° Papier
<i>Adil Brik, Lioua Labrak, Laurent Carrel, Ramy Iskander and Ian O'Connor</i>	32

Les modèles prédictifs basés sur les fronts de Pareto sont des outils clés pour comprendre et exploiter des compromis dans la conception de circuits et de systèmes électroniques. Cependant, leur génération nécessite une utilisation intensive de méthodes de simulation numérique et d'optimisation multi-objectifs, ce qui entraîne des coûts de calcul importants. Ce coût augmente de façon exponentielle avec le nombre de paramètres, et la visualisation devient également un problème lorsque le nombre d'indicateurs de performance augmente. Notre contribution propose une méthode pour extraire efficacement des modèles prédictifs pour les sous-systèmes électroniques basés sur les fronts de Pareto. Nous utilisons le simulateur ID-Xplore pour générer l'espace de performance des sous-blocs afin de générer des fronts de Pareto pour n'importe quel bloc, contournant ainsi l'utilisation traditionnelle de l'optimisation numérique et accélérant ainsi la génération de front de Pareto pour n indicateurs de performance.

[Télécharger l'article](#)

Systems-on-Chip Diagnosis for Automotive Applications	N° Papier
<i>Safa Mhamdi, Alberto Bosio, Arnaud Virazel and Patrick Girard</i>	34

In automotive applications, SystemsonChip (SoC) failures occurred during mission mode are the more critical ones since they may lead to catastrophic effects. In this case, diagnosis is important in order to establish the root cause of the observed failures. In this paper, we present the overall flow of SoC diagnosis and a new approach based on machine learning (ML) for the intracell diagnosis.

[Télécharger l'article](#)

A mapping tool for configurable pipeline co-processors	N° Papier
<i>Elias Barbudo, Eva Dokladalova, Thierry Grandpierre and Laurent George</i>	45

The increasing real-time processing requirements have lead to the significant use of heterogeneous computing architectures. In this context, the time-critical tasks are frequently processed by a coarsely configurable pipelined FPGA-based hardware. Obviously, the manual application mapping on this architectures leads to a tedious work. In this paper, we resume the first results of our approach to the automated mapping of a real-life application on a data stream pipeline-based architecture.

[Télécharger l'article](#)

SESSION POSTER – Jeudi 14 Juin, 16h-17h

Résumés des posters

Development of a Prototyping Platform for Secure Indoor Localization Techniques Evaluation	N° Papier
<i>Baptiste Pestourie, Vincent Beroulle and Nicolas Fourty</i>	22

The interest for indoor positioning and communication systems has been growing lately, as a lot of IoT applications would benefit from accessing devices locations. For cost and simplicity sake, having an all-in-one wireless positioning and communication system is an appealing solution, but the security concern is huge as these systems deal with sensitive and attackable data. Hence, we aim to develop a prototyping platform for secure indoor positioning and communication system, in order to evaluate different kind of positioning techniques and system-level security approaches. This paper presents the different technologies and security approaches that are available for that purpose and justifies the interest of UWB technology and cooperative security approaches in that particular context.

[Télécharger l'article](#)

Accès autorisé au réseau reconfigurable de test par ensemble de segments	N° Papier
<i>Vincent Reynaud, Paolo Maistri and Régis Leveugle</i>	24

Des instruments de test sont embarqués dans les circuits pour réussir à tester des structures de plus en plus complexes. Il est possible d'accéder à ces instruments grâce à des réseaux de test sériel (scan), qui facilitent le travail des testeurs mais aussi des attaquants. L'objet de cet article est une solution permettant de restreindre l'accès de chaque instrument à ceux qui y sont autorisé tout en optimisant la gestion des clés donnant ces accès.

[Télécharger l'article](#)

Thermally Assisted Switching (TAS) MRAM based TRNG	N° Papier
<i>Frederic Ouattara, Lionel Torres and Ken Mackay</i>	25

An important building block for many cryptographic systems is a random number generator (RNG). However, RNGs are categorized into two distinct groups: pseudo random number generators (PRNGs) and truly random generators (TRNGs). This work experimentally demonstrates a TRNG based on Thermally Assisted Switching Magnetic Random Access Memory (TAS-MRAM). The heating voltage when writing TAS-MRAM is used to provide the stochastic switching behavior as a source of randomness. XOR post processing are used to performed a good random numbers which passed the statistical test of NIST SP-800 with the appropriate pass rate.

[Télécharger l'article](#)

Man in the middle pour l'attaque par réplcation sur le bus du PCIe	N° Papier
<i>Mohamed Amine Khelif, Jordane Lorandel and Olivier Romain</i>	28

Le PCIe (Peripheral Component Interconnect – Express) est un bus local série rapide utilisé dans les ordinateurs et les systèmes embarqués. Cet article présente un circuit sur FPGA (Field Programmable Gate Array) qui permet de réaliser une attaque de l'homme du milieu passive sur le bus PCIe. Cette attaque permet à un attaquant d'espionner les communications sur le port série, comme par exemple entre le processeur et la mémoire.

[Télécharger l'article](#)

Real--Time Implantable Telemetry for Cardiac Pressure--Volume Monitoring	N° Papier
<i>Robert Sobot</i>	58

We present in-vivo study related to the use of our implantable RF telemetry system for pressure-volume (PV) cardiac monitoring in animal subjects. We experimentally demonstrate viability of the methodology that includes the surgical procedure and real-time monitoring of the in-vivo PV cardiac loops in freely moving subjects. In our in-vivo experiments we first used a small pig subject in 2015, then a rat subject in 2018. Further improvements in catheter design will improve the data quality and safety of the subjects. This real-time implantable technology allows researchers to quantify cardiac pathologies by monitoring cardiac functionality of freely moving subjects."

[Télécharger l'article](#)

Augmentation de la Portée des Tags RFID Passifs en UHF: Un Bref Etat de l'Art	N° Papier
<i>Sahbi Baccar</i>	65

Cet article résume les facteurs limitant la portée d'une communication entre un lecteur et un tag passif RFID en UHF. Un bref état de l'art de quelques réalisations de la littérature visant l'amélioration cette portée est présenté aussi.

[Télécharger l'article](#)

Smart Vision Chip for Colon Exploration	N° Papier
<i>Orlando Luis Chuquimia Camacho, Andrea Pinna, Xavier Dray and Bertrand Granado</i>	66

In this article, we present our work on our processing chain to realize a Wireless Capsule Endoscopy (WCE) including a Smart Vision Chip (SVC). We obtain a sensitivity of 74.87% and a specificity of 88.31% on a large database, that we have constructed, composed of 18910 images containing 3895 polyps from 20 different video-colonoscopies.

[Télécharger l'article](#)

An Automated Intra-Cell Diagnosis Flow for Industrial SRAMs	N° Papier
<i>Tien-Phu Ho, Eric Faehn, Arnaud Virazel, Alberto Bosio and Patrick Girard</i>	15

In modern electronic designs, more and more memories are embedded in a single chip. With the latest technologies, defects due to the manufacturing process are more prone to occur in the periphery of the memory. Obtaining a fast and accurate localization of such defects has become much more difficult with traditional diagnosis approaches. This paper describes a new and automated SRAM diagnosis flow to determine the localization of any given intra-cell defect and thus, to precisely guide the Failure Analysis phase. The results obtained demonstrate the effectiveness of the diagnosis flow.

[Télécharger l'article](#)

Step-by-Step toward a fully Modular Development of DSP Applications	N° Papier
<i>Hamza Deroui, Karol Desnos, Jean-François Nezan and Alix Munier-Kordon</i>	47

The Interface-Based Synchronous Dataflow (IBSDF) Models of Computation (MoCs) is one of the suitable models to design complex DSP applications for Multiprocessor Systems-on-Chips (MPSoCs). The IBSDF model simplifies the design process by introducing a modularity property that is free of deadlocks. Hence, complex applications can be decomposed into sub-modules, each developed and tested independently. However, compiling IBSDF graphs with the current methods takes a lot of time. In this work, we extend the modularity concept to the entire compilation process, to accelerate the development process of DSP applications.

[Télécharger l'article](#)

OFDMA-TDM position scheme for VLC indoor positioning system	N° Papier
<i>Lina Shi, Xun Zhang and Andrei Vladimirescu</i>	49

In this paper we present a design of OFDM based indoor positioning scheme for buildings that utilizes unlicensed visible light. The paper describes with OFDMA scheme and USRP hardware testbed configuration for positioning reference signal (PRS) transmitting.

[Télécharger l'article](#)

Lynq: A Lightweight Software Layer for Rapid SoC FPGA Prototyping	N° Papier
<i>Jonathan Dechelotte, Dominique Dallet and Jeremie Crenne</i>	59

Modern FPGAs include a diverse collection of heterogeneous processing elements including microprocessors. However, specialized knowledge is required for system integration. Xilinx recently released PYNQ, an open-source framework to enable interactive testing, rapid design iteration, and fast prototyping on SoC FPGAs. In this paper we present a lightweight software layer for rapid SoC FPGA prototyping on Xilinx Zynq devices. We evaluate the performance and energy efficiency of software created and assess hardware integration efficiency versus competing approaches. It is shown that we outperform Python implementations with PYNQ even when a JITed version of Python is available. Run-time speedups between 3:2 and 4:9 are shown with an energy improvement of 2:5 to 4:8 versus PYNQ. System bootup is achieved in less than 10 ms which fits time-critical application requirements.

[Télécharger l'article](#)

Capteur d'image RGB-Z : une introduction	N° Papier
<i>Valentin Rebierre</i>	40

La combinaison d'images de couleur avec des images de profondeur est de plus en plus utilisée dans les domaines comme le cinéma avec les films en 3D, les jeux vidéo avec la réalité augmentée mais également les smartphones et leurs algorithmes de reconnaissance faciale. La plupart des dispositifs qui permettent d'obtenir des images de couleur et de profondeur sont constitués de deux capteurs. Aujourd'hui, l'attrait pour un seul capteur intégré est fort. Cet article soulève les différents verrous scientifiques que représente un tel capteur et présente quelques axes de recherches pouvant répondre à certaines problématiques dans le cadre d'une thèse.

[Télécharger l'article](#)

Planification de Mission de Drone : Implémentation Logicielle/Matérielle	N° Papier
<i>Chabha Hireche, Catherine Dezan, Jean-Philippe Diguët and Stéphane Mocanu</i>	44

Les drones doivent fréquemment adapter leur décision pour faire face aux aléas de leur mission. Nous proposons un nouveau modèle BFM (Bayesian Networks built from FMEA tables for MDP) qui permet de prendre des décisions en intégrant ces aléas ainsi que les contraintes du système embarqué. Le modèle BFM offre une modularité permettant d'intégrer différents types de module de diagnostic utilisant le RB (Réseaux Bayésiens) mais aussi de spécifier la mission avec un MDP (Processus de Décision Markovien). Le modèle permet la prise de décision en considérant les configurations d'applications au niveau du système embarqué et la planification de mission. Ces décisions sont basées sur la QoS (Qualité de Service) des applications, les ressources utilisées et l'état de santé du système et capteurs. L'objectif est de prendre des décisions au cours de la mission en fonction des incertitudes environnementales. Le MDP en ligne et le diagnostic sont nécessaires pour adapter la mission lorsqu'un événement est détecté (obstacle, défaillances capteurs, etc). Pour ce faire, nous proposons diverses implémentations embarquées (logicielles/matérielles) sur plateforme FPGA-SoC du processus de décision associé au modèle BFM.

[Télécharger l'article](#)

SESSION POSTER – Vendredi 15 Juin, 10h-11h

Résumés des posters

Modélisation et évaluation d'une architecture many-coeurs basée sur un réseau sur puce RF	N° Papier
<i>Thomas Romera, Alexandre Brière, Julien Denoulet, Andrea Pinna, Bertrand Granado and François Pêcheux</i>	43

L'augmentation du nombre de cœurs sur une même puce n'est pas sans conséquences : les interconnexions filaires entre unités de calculs se trouvent sur-sollicitées et saturées plus vite. De plus, de par la topologie de l'architecture et des applications s'exécutant sur la puce, les communications entre cœurs sont hétérogènes à la fois en termes spatial et temporel. C'est pour pallier à ces problèmes que nous présentons dans cet article un réseau d'interconnexion sur puce dynamiquement reconfigurable utilisant la RF. La RF permet de disposer d'une bande passante plus importante entre cœurs tout en minimisant la latence. La reconfiguration dynamique permet, elle, d'adapter cette bande passante au mieux entre tous les cœurs qui se partagent cette dernière. Enfin, l'utilisation d'un réseau RF permet de faire du broadcast sans surcoût par rapport à une communication point-à-point.

[Télécharger l'article](#)

Optimization of energy and application performance on heterogeneous platforms	N° Papier
<i>Massinissa Ait Aba, Lilia Zaourar and Alix Munier</i>	62

Recent applications both in industry and research often need massive calculations. Thus, applications have different hardware requirements. Heterogeneous systems are then considered to speed up their execution and increase their performances in terms of total execution time and power efficiency. Two classes of heterogeneous platforms are considered in this paper: fully heterogeneous architectures which combine processing elements (such as CPUs, GPUs) and reconfigurable logic (FPGAs). We are also interested by hybrid platforms limited to Central Processing (CPU) and Graphics Processing Units (GPU). The objective is to determine an efficient scheduling of an application on a heterogeneous resources system in order to minimize the total execution time (makespan) while respecting an energy bound.

[Télécharger l'article](#)

Déploiement d'une application de détection de polype dans une architecture dynamiquement reconfigurable à l'aide de MATIP	N° Papier
<i>Nathalie Marie Ravidat and Bertrand Granado</i>	67

Nous avons développé au sein de notre équipe une plateforme reconfigurable de type ""grain fin"", MATIP]. Nous présentons ici le déploiement sur MATIP d'une chaîne de traitement d'images destinées à détecter des polypes. Cette étude doit nous permettre de mesurer les apports de l'approche MATIP pour le déploiement d'applications parallèles sur une plate-forme hétérogène.

[Télécharger l'article](#)

Influence d'un champ magnétique fort sur les transistors MOS	N° Papier
<i>Duc-Vinh Nguyen, Lucas Werling, Joris Pascal, Norbert Dumas, Wilfried Uhring, Latifa Fakri-Bouchet and Luc Hebrard</i>	39

Grâce à un banc expérimental amélioré par rapport à celui utilisé dans nos premières investigations sur l'influence des champs magnétiques forts sur les caractéristiques électriques des transistors NMOS, nous avons réalisé un jeu de mesures plus précises qui nous a permis de confirmer que le phénomène principal expliquant la réduction du courant dans un NMOS lorsque ce dernier est soumis à un champ magnétique orienté perpendiculairement à son canal provient bien d'un effet de magnétorésistance géométrique. Toutefois l'amplitude de cet effet dépend du W/L du transistor et des conditions de polarisation. En particulier, nous montrons qu'il est nécessaire de tenir compte de la vitesse de saturation des porteurs pour expliquer l'ensemble des effets observés.

[Télécharger l'article](#)

McBIM - Réseaux de Capteurs Sans-Fil pour la Fabrication de Matériaux Communicants. Applications au Domaine de la Construction.	N° Papier
<i>Gaël Loubet, Alexandru Takacs and Daniela Dragomirescu</i>	51

Le projet McBIM tend à proposer une mise en pratique du concept de matière communicante, et plus particulièrement du béton communicant. Celui-ci, embarquant un réseau de nœuds sans-fil, est capable de générer, traiter, stocker et échanger des données sur plusieurs mètres durant plusieurs décennies. Ce papier introduit succinctement le projet puis présente les architectures matérielles envisagées. Avant de conclure, les principaux enjeux visés sont explicités.

[Télécharger l'article](#)

Evaluation and Comparison of Digital Predistorter Modelling for Power Amplifiers	N° Papier
Chouaib Kantana, Olivier Venard and Genevieve Baudoin	56

Power amplifiers (PA) are dynamic nonlinear components that exhibit static nonlinearities as well as nonlinear memory effects. Digital predistortion (DPD) consists in setting up a non-linear processing upstream of the PA to apply a distortion on the input signal, so that the system resulting from the cascade predistortion and amplifier is linearized. In this paper, we study and compare several advanced modelling techniques for DPD model. The different models are evaluated using a real Doherty power amplifier and compared according to different figures of merit including numerical properties for hardware implementation.

[Télécharger l'article](#)

On using Approximate Computing in Duplication Schemes	N° Papier
<i>Bastien Deveautour, Arnaud Virazel, Alberto Bosio and Patrick Girard</i>	2

Choosing the ideal trade-off between reliability improvement and cost (i.e. area and power overhead) is usually linked with a fault tolerant architecture that generally involves an extensive Design Space Exploration. In this paper, we discuss the issue of selective hardening of arithmetic circuits by considering a duplication/comparison scheme as error detection architecture. We investigated four different selective hardening methods and compared their respective costs and fault detection capability. Experimental results obtained on 8-bits multiplier as case study circuit proves that there is an interest in using approximate structures as duplication scheme. They provide much better reliability improvement than other selective hardening methods with lower area and power overhead.

[Télécharger l'article](#)

Automatic Test Pattern Generation for Approximate Integrated Circuits	N° Papier
<i>Arnaud Virazel, Marcello Traiola, Alberto Bosio and Patrick Girard</i>	6

Approximate Computing (AxC) increasingly emerges as a new paradigm for the design of energy-efficient Integrated Circuits (ICs) at the cost of relaxing the result accuracy requirements. Error Metrics model and quantify the consequent accuracy reduction. From the testing point of view, instead of testing for all manufacturing defects, it is possible to test only for those that will lead to an error considered as not acceptable by the adopted Error Metrics. The main advantages are the test cost reduction, and the yield improvement. We developed three automatic approaches for generating test vectors targeting AxC Integrated Circuits. This paper aims at comparing these approaches on a public benchmark suite.

[Télécharger l'article](#)

Évaluation d'un dispositif matériel de détection d'erreurs sur un SoPC par injection de fautes	N° Papier
<i>Dimitry Solet, Mikaël Briday, Jean-Luc Béchennec, Sébastien Faucou and Sébastien Pillement</i>	33

Ce papier présente une méthode basée sur l'injection de fautes pour l'évaluation du taux de détection d'un mécanisme de détection d'erreurs sur un SoPC (System on Programmable Chip). On s'intéresse particulièrement aux conséquences des fautes matérielles sur les logiciels embarqués.

[Télécharger l'article](#)

Monitoring information flows in heterogeneous SoCs with a dedicated coprocessor	N° Papier
<i>Muhammad Abdul Wahab, Pascal Cotret, Mounir Nasr Allah, Guillaume Hiet, Vianney Lapotre, Guy Gogniat and Arnab Kumar Biswas</i>	35

Security is a major issue nowadays for the embedded systems community. Untrustworthy authorities may use a wide range of attacks in order to retrieve critical information. This paper introduces ARMHEX, a practical solution targeting DIFT (Dynamic Information Flow Tracking) on ARM-based SoCs (e.g. Xilinx Zynq). ARMHEX takes profit of ARM CoreSight debug components and static analysis to drastically reduce instrumentation time overhead (up to 90% compared to existing works).

[Télécharger l'article](#)

Hardware security vs software vulnerabilities	N° Papier
<i>Yohan Boyer, Pascal Benoit and Jacques Bourhis</i>	41

Embedded systems and their resource limitations make them particularly vulnerable to attacks. These security issues are often due to memory errors, which permit an attacker to trigger an unintended program behavior such as arbitrary code execution, a leakage of sensitive data or perform privilege escalation. This kind of threat is commonly called buffer overflow attack. In this work, we overview different methods of Control Flow Integrity (CFI) to protect from such security flaws. We compared them to better understand existing countermeasure and then proposed an investigation about a solution based on Control Flow Integrity, monitoring metrics, machine learning and countermeasure deployment.

[Télécharger l'article](#)

Verification of quantum computation and the price of trust	N° Papier
<i>Elham Kashefi, Alexandru Gheorghiu and Theodoros Kapourniotis</i>	53

Quantum computers promise to efficiently solve not only problems believed to be intractable for classical computers, but also problems for which verifying the solution is also considered intractable. This raises the question of how one can check whether quantum computers are indeed producing correct results. This task, known as quantum verification, has been highlighted as a significant challenge on the road to scalable quantum computing technology. We review the most significant approaches to quantum verification and compare them in terms of structure, complexity and required resources. We also comment on the use of cryptographic techniques which, for many of the presented protocols, has proven extremely useful in performing verification. Finally, we discuss issues related to fault tolerance, experimental implementations and the outlook for future protocols.

[Télécharger l'article](#)

Overview of continuous-variable quantum key distribution with embedded devices	N° Papier
<i>Luis Trigo Vidarte, Mauro Persechino, Victor Roman Rodriguez, Shouvik Ghorai, Philippe Grangier and Eleni Diamanti</i>	61

In this poster we will provide an overview of Continuous Variable Quantum Key Distribution (CV-QKD) and in particular we will focus on the technological aspects and the possible applications that have a relation with Systems on Chip (SOC).

[Télécharger l'article](#)