

**COLLOQUE NATIONAL
du GDR SOC-SIP**

11-13 juin 2014

**Télécom ParisTech
Institut Mines Télécom
46, rue Barrault
75013 Paris**



COMITE D'ORGANISATION LOCALE

Equipe C2S de Télécom ParisTech

E/C : Patricia Desgreys, Hervé Petit, Hussein Fakhoury, Patrick Loumeau

Post-doctorants : Chadi Jabbour, Reda Mohellebi

+ L'équipe des doctorants

Toutes les présentations orales (keynotes / exposés / ouverture / évolution / clôture) auront lieu dans l'amphithéâtre Thévenin.

Les posters et les pauses seront dans le Hall et/ou salle E200.

COMITE SCIENTIFIQUE et ANIMATION DU GDR SOC/SIP

Directeur

Patrick Garda, LIP6

Directeurs adjoints

Patrick Girard, LIRMM

Ian O'Connor, INL

Responsables d'axes et animateurs des thématiques

Architectures des systèmes numériques intégrés

Sébastien Pillement, IETR, Univ. Nantes

Adjoint : Philippe Coussy, Lab-STICC

Animateurs :

Manycores

Franck Wajsburt, LIP6

Reconfigurable

Loïc Lagadec, Lab-STICC

Sécurité Test Fiabilité Vérification

Lilian Bossuet, LaHC, Univ. St Etienne

Animateurs :

Sécurité

Marie-Lise Flottes, LIRMM

Test

Serge Bernard, LIRMM et Mounir Benabdenbi, TIMA

Vérification

Katell Morin, TIMA (à confirmer)

Dispositifs émergents et Cyberphysique AMS

Cristell Maneux, IMS

Adjointe : Patricia Desgreys, Télécom ParisTech

Animateurs :

AMS-RF

Nathalie Deltimple, IMS

Systèmes hétérogènes

Marie-Minerve Louërat, LIP6

Technologies émergentes

Jacques-Olivier Klein, IEF

Capteurs et modélisation multiphysique

Luc Hébrard, iCube

Défis sociétaux

Cécile Belleudy, LEAT

Adjoint : Fabien Mieyeville, INL

Animateurs :

Consommation

Eric Senn, Lab-STICC

Systèmes embarqués pour la santé

Sylvie Renaud, IMS et Olivier Romain, ETIS

PROGRAMME

Mercredi 11 juin

10h-11h : Ouverture

10h – 10h30	Ouverture	P. Garda, P. Girard, I. O'Connor
10h30 – 10h45	Bienvenue	Y. Poilane, Directeur de Télécom ParisTech
10h45-11h	Organisation du colloque	P. Desgreys

11h-12h : Session Exposé E1

Axe Sécurité Test Vérification – resp. : L. Bossuet, LaHC (FR)

11h-11h10	Introduction	L. Bossuet, LaHC (FR)
11h10-12h	Hardware Attacks on Secure ICs	G. van Battum, Brightsight (NL)

G. Van Battum will talk a little bit about the history of attacks and their evolution till today. Thereafter, an overview and a classification of different attacks and their effects will be discussed. Examples will be given of hardware attack techniques on actual secure ICs, such as reverse engineering, mechanical probing, (e-beam) microscopy, etching and polishing, ROM code analysis and Focused Ion Beam modification. This will be put in perspective with commonly applied design practices to protect state-of-the-art secure ICs, which make hardware attacks more difficult.

12h-12h30	Méthodes formelles pour la conception et la vérification de Systèmes sur Puce	E. Encrenaz, LIP6 (FR)
-----------	---	------------------------

E. Encrenaz présentera un panorama des différentes approches de méthodes formelles disponibles, mis en relation avec les fonctionnalités ou niveaux d'abstractions analysables, et une cartographie des labos / travaux en France sur ces sujets.

12h30-14h00 : Repas

Restaurant RAB – Télécom ParisTech

14h00-15h00 : Session Keynote K1

14h00-15h00	European research on Electronic applications – from ARTEMIS to ECSEL	A. Foster, ARTEMIS-JU (BE)
-------------	--	----------------------------

15h00-16h00 : Session Poster P1

Axe Architectures des systèmes numériques intégrés

- Multithreading for embedded compute accelerators through distributed shared memory design, Garibotti Rafael(1), Ost Luciano(1), Gamatie Abdoulaye(1), Sassatelli Gilles(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- A hierarchical RF interconnect for MPSoC, Brière Alexandre(1), Denoulet Julien(1), Pinna Andrea(1), Granado Bertrand(1), Pêcheux François(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Modèle Pour la Simulation Parallèle Sur GPUs des Réseaux de Capteurs Sans Fil, Laga Arezki(1), Bounceur Ahsène(1), Lounis Massinissa(2). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France), 2 - Laboratoire d'Informatique MEDicale (Algérie)
- Un nouveau flot de compilation pour application flot de données paramétrique, Dardaillon Mickaël(1), Marquet Kevin(2), Risset Tanguy(2), Martin Jérôme(3), Charles Henri-Pierre(4). 1 - SOCRATE (France), 2 - SOCRATE (France), 3 - Laboratoire d'Electronique et des Technologies de l'Information (France), 4 - CEA (France)
- HNCP-II : Une architecture multiprocesseurs flexible dédiée aux applications de traitement de l'image, Boussadi Mohamed Amine(1), Derutin Jean-Pierre(2)(1), Landrault Alexis(2)(1), Tixier Thierry(1). 1 - Institut Pascal (France), 2 - Polytech Clermont-Ferrand (France)
- Exploitation des données en lecture seule dans les hiérarchies mémoires, Vaumourin Grégory(1), Guerre Alexandre(1), Dombek Thomas(1), Barthou Denis(2). 1 - Laboratoire Calculs Embarqués (France), 2 - Laboratoire Bordelais de Recherche en Informatique (France)
- On-Chip Monitor Support in High-Level Synthesis Flow, Ben Hammouda Mohamed, Coussy Philippe(1), Lagadec Loïc. 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Consistency Protocol Decision at Compile-time for Multi-protocol Distributed Shared Memory Systems, Safae DAHMANI, Loïc Cudennec, Guy Gogniat
- Porting Linux on the TSAR manycore architecture, Porquet Joël(1), Greiner Alain(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Mécanisme de synchronisation scalable à plusieurs lecteurs et un écrivain, Karaoui Mohamed Lamine(1), Meunier Quetin, Wajsburt Franck, Greiner Alain. 1 - Laboratoire d'Informatique de Paris 6 (France)
- An efficient MIMO receiver based on BP algorithm with truncated message-passing, Haroun Ali(1)(2), Abdel Nour Charbel(1), Arzel Matthieu(1), Jegou Christophe(2). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France), 2 - Laboratoire de l'Intégration du Matériau au Système (France)
- Conception et réalisation d'un noeud sans fil pour un système distribué de contrôle actif des vibrations., Zielinski Mateusz(1), Mieyeville Fabien(1), Bareille Olivier(2), Navarro David(1). 1 - Institut des nanotechnologies de Lyon - Site d'Ecully (France), 2 - Laboratoire de Tribologie et Dynamique des Systèmes (France)
- Designing optimized parallel interleaver architecture through network customization, Rehman Saeed Ur(1), Chavet Cyrille(1), Coussy Philippe(1). 1 - Université de Bretagne-Sud UEB, CNRS Lab-STICC (France)

- Smart-EEG : A New Platform for Tele-Expertise of Electroencephalogram, Lambert Laurent(1), Dhif Imen(1), Ibraheem Mohammed Shaaban(1), Ahmed Syed Zahid(1), Pinna Andrea(1), Hachicha Khalil(1), Granado Bertrand(1), Garda Patrick(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Educate Engineers and/or Students to Improve Embedded Systems Design Ability, Shimizu Naohiko(1). 1 - Tokai University (Japon)
- Une nouvelle méthode pour la génération de graphes dataflow, Lesparre Youen(1), Bodin Bruno(2), Munier Alix(1), Delosme Jean-Marc(3). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - School of Informatics (Royaume-Uni), 3 - Informatique, Biologie Intégrative et Systèmes Complexes (France)
- Design of a Compact and Efficient Embedded Biometric Processor, Chouta Taoufik(1), Danger Jean Luc, Graba Tarik. 1 - Télécom ParisTech (France)
- Approche hybride de simulation pour l'amélioration des modèles de performance des architectures, Le Nours Sebastien(1). 1 - IETR (France)
- Flexible and High-Throughput Architectures for Quasi-Cyclic Low-Density Parity-Check Codes, Al Hariri Alaa Aldin(1), Monteiro Fabrice, Siéler Loïc, Dandache Abbas. 1 - Université de Lorraine (France)
- Déploiement à la volée de réseaux d'acteurs dataflow dynamiques sur plateforme multiprocesseurs hétérogène, Ngo Thanh Dinh(1), Martin Kevin(1), Diguët Jean-Philippe(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France)
- Digital Real-Time Multiple Channel Multiple Mode Neutron Flux Estimation FPGA-based Device, Thevenin Mathieu(1). 1 - Commissariat à l'Energie Atomique, Institut LIST (France)
- Registres sécables de tailles variables et programmables, Thevenin Mathieu(1). 1 - Commissariat à l'Energie Atomique, Institut LIST (France)
- Vers une architecture électronique unifiée et zéro temps mort pour l'instrumentation nucléaire, Yoann MOLINE (1), Mathieu THEVENIN (1), Gwénoélé CORRE(1), Michel PAINDAVOINE (2). 1 - Commissariat à l'Energie Atomique, Institut LIST (France), 2 - LE2I (France)
- PanoraMOS: A Complete Panoramic Smart Detector, Pelissier Frantz(1), Berry François, Birem Merwan, Ait Aider Omar. 1 - Institut Pascal (France)

16h00-17h30 : Session Exposé E2

Axe Dispositifs Emergents et Cyberphysique AMS – resp. C. Maneux, IMS (FR)

16h00-16h30 Introduction C. Maneux, IMS (FR)

16h30-17h30 Power-Aware Design of Cyber-Physical Systems C. Grimm, TU Kaiserslautern (DE)

Smart sensor systems are often part of and functionally tightly interwoven with cyber-physical systems. A particular challenge is its energy supply as the systems are often small, distributed, mobile, or even energy-autonomous. We will show how much power consumption is influenced by and across all layers of the system, from technology of the (SoC-) implementation up to the high-level application scenarios. As a support for designers, we give an overview of approaches to estimate power consumption at system level. As an outlook, we give an overview of two major German research projects in this area.

17h30-19h : Réunion de comité de pilotage

Salle B603

jeudi 12 juin

9h-10h : Session Keynote K2

9h-10h Présentation de la Stratégie Nationale P. Fouillat, MENESR / DGRI / SSRI (FR)
de Recherche

10h-11h : Session Poster P2

Axe Sécurité Test Vérification et Défis sociétaux

- Correlation Analysis of the Power Consumption applied to IP Watermark Verification, Marchand Cédric(1), Bossuet Lilian(1). 1 - Laboratoire Hubert Curien [Saint Etienne] (France)
- Laser attack: from physic to logic, Lu Feng(1), Di Natale Giorgio(1), Flottes Marie-Lise(1), Rouzeyre Bruno(1), Hubert Guillaume(2). 1 - LIRMM (France), 2 - ONERA (France)
- Hardware Logic Encryption for thwarting Illegal Overproduction and Hardware Trojans, Dupuis Sophie(1), Di Natale Giorgio(1), Flottes Marie-Lise(1), Rouzeyre Bruno(1), Ba Papa-Sidy. 1 - LIRMM (France)
- Analyse d'opérateurs d'inversion dans $GF(2^m)$: compromis surface & vitesse, Métairie Jérémy(1), Tisserand Arnaud(1), Casseau Emmanuel(1). 1 – IRISA CAIRN (France)
- Chiffrement homomorphique : entre développements théoriques et implantations pratiques, Mkhinini Asma(1), Maistri Paolo(1), Leveugle Régis(1). 1 - Mkhinini (France)
- Extending Multicore Architectures with Cryptoprocessors and Parallel Cryptography, Mancillas Lopez Cuauhtemoc(1), Mendez Real Maria (2), Bossuet Lilian(1), Gogniat Guy(2), Fischer Viktor (1), Baganne Adel (2). 1 - Laboratoire Hubert Curien [Saint Etienne] (France), 2 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Secure deployment in trusted many-core architectures, Mendez Real Maria (1), Gogniat Guy(1), Baganne Adel(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- System-level SoC Verification through Context-aware Model-Checking, Teodorov Ciprian(1), Dhaussy Philippe(1), Lagadec Loic(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France)
- Hardware Trojan Horses in Cryptographic IP Cores, Ngo Xuan Thuy(1), Bhasin Shivam(1), Danger Jean Luc(1,2), Guilley Sylvain(1,2), Sauvage Laurent(1,2). 1 - Télécom ParisTech (France), 2 – Secure-IC
- Random Number Generators, does jitter realizations can be still considered as mutually independent ?, Haddad Patrick(1,2), Teglia Yannick (2), Nicolai Jean (2), Agoyan Michel (2), Bernard Florent (1), Fischer Viktor(1). 1 - Laboratoire Hubert Curien [Saint Etienne] (France), 2 - STMicroelectronics, Advanced System Technology [Rousset](France)
- A Fault-tolerant Architecture for Pipelined Microprocessor Cores, Wali Imran(1), Virazel Arnaud(1), Bosio Alberto(1), Dilillo Luigi(1), Girard Patrick(1). 1 - Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (France)

- Shadow-scan design with reduced latency overhead, Sarrazin Sebastien(1)(2), Evain Samuel(2), Alves De Barros Naviner Lirida(1), Gherman Valentin(2). 1 - Laboratoire Traitement et Communication de l'Information [Paris] (France), 2 - Laboratoire de Fiabilisation des Systèmes Embarqués (France)
- 3D Test Scheduling Concepts, Azevedo Joao(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- A Comprehensive Evaluation of Functional Programs for Power-Aware Test, Touati Aymen, Bosio Alberto(1), Dilillo Luigi(1), Girard Patrick(1), Virazel Arnaud(1). 1 - Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (France)
- Fault-Tolerance Mechanisms for Permanent Failures in a Coherent Shared-Memory Many-Core Architecture, Fuguet César(1), Greiner Alain(1). 1 - Laboratoire d'Informatique de Paris 6 (France)
- Crosstalk and Supply Noise - Aware Pattern Generation for Delay Testing, Asokan Anu(1), Bosio Alberto(2), Dilillo Luigi(3), Girard Patrick(2), Pravossoudovitch Serge(2), Virazel Arnaud(2). 1 - Laboratory of Informatics, Robotics and Microelectronics of Montpellier (France), 2 - Laboratory of Informatics, Robotics and Microelectronics of Montpellier (France), 3 - Laboratory of Informatics, Robotics and Microelectronics of Montpellier (France)
- An Injection Fault Flow based On Module Isolation for Reliability Evaluation of SRAM-FPGA, Sahraoui Fouad(1), Ghaffari Fakhreddine(1), Benkhelifa Mohamed El Amine(1), Granado Bertrand(2). 1 - Equipes Traitement de l'Information et Systèmes (France), 2 - Laboratoire d'Informatique de Paris 6 (France)
- Importance de la mise en place de méthodes automatisées pour la vérification du réseau ESD sur silicium en technologies CMOS avancées, Viale Benjamin(1), Allard Bruno(2), Galy Philippe, Fer Mathieu. 1 - STMicroelectronics (Crolles) (France), 2 - Ampère (France)
- Internal Contactless Testing of SoC: Dynamic Optical Techniques challenges and emerging solutions, Perdu Philippe(1). 1 - Centre National d'Etudes Spatiales (France)
- Evaluation of System Reliability at High Level, Kooli Maha(1), Di Natale Giorgio(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- Design of Fault-Secure FIR Filters Protected Using Residue Codes, Piestrak Stanislaw(1), Patronik Piotr. 1 - Res. Team MAE, Institut Jean Lamour (France)
- Interconnexions RF pour NoC utilisant l'OFDMA, Drillet Frédéric(1), Bourdel Emmanuelle(1), Duperrier Cédric(1), Quintanel Sébastien(1). 1 - Equipes Traitement de l'Information et Systèmes (France)
- Modélisation et Simulation de la Couverture de Cibles Mobiles Dans un RCSF, Saadi Nora(1). 1 - Université Abderrahmane Mira (Algérie)
- Calcul parallèle de la consommation d'énergie des mobiles dans un réseau de capteurs sans fil, Lounis Massinissa(1), Laga Arezki, Bounceur Ahcène, Pottier Bernard. 1 - Laboratoire d'Informatique MEDicale (Algérie)
- Power Adaptive Receiver based on Wide-band Distributed Low Noise Amplifier for Home Wireless Networks, Zhou Liang(1). 1 - Laboratoire ETIS (France)
- Dynamic Power Estimation Methodology for FPGA-based Wireless Communication Systems, Lorandel Jordane(1), Prévotet Jean-Christophe(2), Helard Maryline(3). 1 - Institut d'Electronique et de Télécommunications de Rennes (France), 2 - IETR (France), 3 - INSA (France)

- Low Power Exploration Design Flow for Fall Detection System, Nguyen Thi Khanh Hong(1), Belleudy Cecile, Pham Van Tuan. 1 - Laboratoire d'Electronique, Antennes et Télécommunications (France)

11h-12h30 : Session Exposé E3

AXE Défis sociétaux – resp. C. Belleudy, LEAT (FR)

11h-11h10	Introduction	C. Belleudy, LEAT (FR)
11h10-11h50	Optimal design of energy-efficient and cost-effective Wireless Body Area Networks	J. Elias, LIPADE (FR)

Wireless Body Area Networks (WBANs) represent one of the most promising approaches for improving the Quality of Life, allowing remote patient monitoring and other healthcare applications. The deployment of a WBAN is a critical issue that impacts both the network lifetime and the total energy consumed by the network. This work investigates the optimal design of WBANs by studying the joint data routing and relay positioning problem, in order to increase the network lifetime. To this end, we propose an integer linear programming model, which optimizes the number and location of relays to be deployed and the data routing towards the sink, minimizing both the network installation cost and the energy consumed by wireless sensors and relays. We solve the proposed model in realistic WBAN scenarios, and compare the model performance to the most notable approaches proposed in the literature. Numerical results demonstrate that our model provides a good tradeoff between the energy consumption and the number of installed relays, and designs energy-efficient and cost-effective WBANs in a short computing time, thus representing an interesting framework for the dynamic WBAN design problem.

11h50-12h30	WSN, energy harvesting et applications	F. Brokaert, Thales (FR)
--------------------	--	--------------------------

Résumé en 10 lignes

12h30-14h00 : Repas

Restaurant RAB – Télécom ParisTech

14h00-15h00 : Session Keynote K3

14h00 – 15h00	Histoire de la Loi de Moore	C. Lécuyer
----------------------	-----------------------------	------------

Le paysage de la recherche et de l'innovation a connu des changements considérables depuis les années 1980. Un de ces changements a été l'apparition de nouvelles formes de gouvernance de l'innovation comme la loi de Moore et les feuilles de route. D'où viennent ces nouvelles formes de gouvernance de l'innovation ? Comment peut-on expliquer leur essor ? Quelles sont les forces qui ont présidé à leur naissance et permis leur continuation ? Cette présentation démontre que la loi de Moore, une série d'énoncés sur la complexification des circuits intégrés, est née d'une campagne de marketing menée par Fairchild Semiconductor, une entreprise de la Silicon Valley. A partir du milieu des années 1970, les entreprises de semi-conducteurs aux États-Unis et au Japon utilisèrent la loi de Moore pour planifier le développement de leurs produits et guider la création de nouveaux matériaux

et procédés de fabrication. Mais ce fut avec la création des feuilles de route que la loi de Moore devint une forme de gouvernance de l'innovation. Les feuilles de route institutionnalisèrent la loi de Moore et la transformèrent en principe directeur de l'innovation dans les semi-conducteurs. Elles accélèrent ainsi la miniaturisation des circuits intégrés et leur appropriation par un grand nombre de secteurs industriels. Les formes de gouvernance de l'innovation initiées par l'industrie des semi-conducteurs ont été adoptées depuis une quinzaine d'années par de nombreuses industries de pointe telles que la biotechnologie, la nanotechnologie et les cellules photovoltaïques.

15h00-16h00 : Session Poster P3

Axe Dispositifs Emergents et Cyberphysique AMS

- Intégration de réseaux de neurones à cliques en électronique analogique, Larras Benoit(1), Lahuec Cyril(1), Arzel Matthieu(1), Séguin Fabrice(1). 1 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance (France)
- A simple structure fast-settling automatically gain control amplifier, Wang Xusheng(1). 1 - Institut d'électronique fondamentale (France)
- A rapid accurate and wide swing envelope detector, Wang Xusheng(1). 1 - Institut d'électronique fondamentale (France)
- Mismatch Requirement Analysis in Bootstrapped S/H, Kamdem De Teyou Gaël(1), Petit Hervé(1), Loumeau Patrick(1), Fakhoury Hussein(1). 1 - Laboratoire Traitement et Communication de l'Information [Paris] (France)
- Simulation methodology for Large-Bandwidth Track-and-Hold microwave circuit, Meyer Arnaud(1). 1 - Thales Systèmes aéroportés [Elancourt] (France)
- Approche adaptative pour la correction des défauts d'appariement d'un convertisseur analogique numérique par entrelacement, Bonnetat Antoine(1), Hodé Jean-Michel(1), Dallet Dominique(2), Ferré Guillaume(2). 1 - THALES Airborne Systems [Elancourt] (France), 2 - Laboratoire de l'intégration, du matériau au système (France)
- Un émetteur radio logicielle intégrale: la pompe de Riemann, Veyrac Yoan(1)(2), Rivet Francois(1), Deval Yann(1), Regimbal Nicolas(2). 1 - Laboratoire de l'intégration, du matériau au système (France), 2 - Atlantic Innovation Electronic Solutions (France)
- CAN en parallèle de type décomposition fréquentielle à base de modulateurs sigma delta pour un récepteur radio multistandard, Lahouli Rihab(1). 1 - Laboratoire de l'intégration, du matériau au système (France)
- Body Area Sensors Networks: State-of-The-Art, Performances, Limitations and Perspectives, Sarimin Nuraishah(1). 1 - LISITE MINARC (France)
- UVM standard-compliant SystemC (AMS)-based verification framework for heterogeneous systems, Wang Zhi, Pêcheux François(1), Louerat Marie-Minerve, Li Yao. 1 - Laboratoire d'Informatique de Paris 6 (France)
- A Lifetime Estimation Method for Wireless Sensor Networks Based on Emulation, Dron Wilfried(1), Duquennoy Simon(2), Voigt Thiemo(2)(3), Hachicha Khalil(1), Garda Patrick(1). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - SICS (Suède), 3 - Uppsala University (Suède)
- Modélisation compacte et simulation électrothermique du vieillissement et du recouvrement des circuits MOS sous l'effet des porteurs chauds, Garci Maroua(1), Kammerer Jean-Baptiste(1), Hebrard Luc(1). 1 - Laboratoire des sciences de l'ingénieur, de l'informatique et de l'imagerie (France)

- Méthode de modélisation haut-niveau de dispositifs MEMS en SystemC-AMS, Vernay Benoît(1)(2), Krust Arnaud(2), Maehne Torsten(1), Schröpfer Gerold(2), Pêcheux François(1), Louërat Marie-Minerve(1). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - Coventor SARL (France)
- Micro Pirani gauge for more sensing, Zhang Ming(1). 1 - Institut d'électronique fondamentale (France)
- VHDL-AMS Modeling in Time Domain of an RF Network on Chip, Zerioul Lounis(1), Bourdel Emmanuelle(1), Ariaudo Myriam(1). 1 - Equipes Traitement de l'Information et Systèmes (France)
- Modulation & Simulation of Architecture and Protocol in Optical Network-on-Chip (ONoC), Liu Xuchen(1), O'connor Ian(1), Le Beux Sébastien(1), Li Hui(1), Navarro David(1). 1 - Institut des Nanotechnologies de Lyon (France)
- E-health Systems for Traditional Chinese Medicine Assistance and Evaluation, Chen Chen(1)(2)(3). 1 - xunzhang (Chine), 2 - kenneth Yun (États-Unis), 3 - Patrick Garda (France)
- High compatibility compact model of stochastic Spin transfer torque in MTJ, Wang You(1)(2). 1 - Laboratoire Traitement et Communication de l'Information [Paris] (France), 2 - Institut d'électronique fondamentale (France)
- Complementary logic interface for high performance optical computing with OLUT, Li Zhen(1). 1 - Institut Nanotechnologie de Lyon (France)
- Consistency Protocol Decision at Compile-time for Multi-protocol Distributed Shared Memory Systems, Dahmani Safae(1)(2), Cudennec Loïc(1), Gogniat Guy(2). 1 - CEA - LIST (France), 2 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Expressions Analytiques en Mode SET pour des Memristors Organiques Formés de Fe(bpy)₃²⁺, Lorival Jean-Etienne(1), Marc François(1), Cabaret Théo(2), Derycke Vincent(2), Jusselme Bruno(3), Klein Jacques-Olivier(4), Maneux Cristell(1). 1 - Laboratoire de l'intégration, du matériau au système (France), 2 - Laboratoire d'Innovation en Chimie des Surfaces et Nanosciences (France), 3 - Laboratoire d'Innovation en Chimie des Surfaces et Nanosciences (France), 4 - Institut d'électronique fondamentale (France)
- Design and Implementation of Compressed Sensing Encoder, Ravelomanantsoa Andrianiaina(1), Rouane Amar(1), Rabah Hassan(1). 1 - Institut Jean Lamour - Département N2EV - Mesures et Architectures Electroniques (France)
- Parallel Bit plane for MMWaves Coding, Mhedhbi Imen(1), Garda Patrick(2), Hachicha Khalil(2). 1 - Laboratoire d'Informatique de Paris 6 (France), 2 - Laboratoire d'Informatique de Paris 6 (France)
- Magnetic RAM based memory hierarchy exploration, Senni Sophiane, Brum Raphael, Torres Lionel(1), Sassatelli Gilles(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- Challenges of Physical Verification for Silicon Photonic Designs, Cao Ruping(1), Arriordaz Alexandre(2), O'connor Ian(3). 1 - Mentor Graphics Corp. (France), 2 - Mentor Graphics Corp. (France), 3 - Instituts des Nanotechnologies de Lyon (France)
- Spin torque nanodevices as building blocks for future electronics, Locatelli Nicolas(1), Vodenicarevic Damir(1), Mizrahi Alice(1)(2), Kim Joo-Von(1), Accioly Artur(1)(2)(3), Klein Jacques-Olivier(1), Zhao Weisheng(1), Querlioz Damien(1), Cros Vincent(2), Grollier Julie(2). 1 - Institut d'électronique fondamentale (France), 2 - Unité Mixte de Physique CNRS/Thales (France), 3 - Instituto de Fisica, Univ. Federal do Rio Grande do Sul (Brésil)

16h00-17h30 : Session Evolution du GdR

19h : Dîner de Gala

Restaurant Bouillon Racine

<http://www.bouillon-racine.com/fr/accueil/index.html>

vendredi 13 juin

9h-10h30 : Session Exposé E4

Axe Architectures des systèmes numériques intégrés – resp. S. Pillement, IETR (FR)

9h-9h10

Introduction

S. Pillement, IETR (FR)

La sécurité a l'interface du logiciel et du matériel : vulnérabilités et contre-mesures

V. Nicomette, E. Alata LAAS (FR)

La sécurité vis-à-vis des malveillances dans les couches basses du logiciel, à la frontière du logiciel et du matériel est difficile à appréhender. En particulier, les méthodes formelles, habituellement utilisées pour assurer un développement sécurisé de logiciel, s'avèrent difficiles à mettre en oeuvre pour modéliser, à un niveau très bas d'abstraction, le comportement du logiciel et du matériel. Des hypothèses sur le matériel sont donc nécessairement faites lors du développement du logiciel et ces hypothèses ne sont pas forcément vérifiées lors de l'utilisation en conditions réelles du logiciel. Il est donc fondamental d'accompagner le développement sécurisé d'une phase de recherche de vulnérabilités et de proposition de contre-mesures. Dans cette présentation, nous illustrons cette phase au travers d'une étude d'un système embarqué critique expérimental avionique. Par ailleurs, les contre-mesures, à ce niveau très bas d'abstraction, sont d'autant plus efficaces qu'elles reposent sur des moyens matériels incontournables. Nous poursuivons donc par la présentation de deux études destinées à concevoir des mécanismes de protection matériels basés sur l'utilisation de carte FPGA.

Logiciels embarqués - quelques problèmes actuels : Illustration avec le domaine automobile.

S. Faucou, IRCCyN (FR)

Le concept de "mixed criticality systems", que l'on peut traduire par "systèmes à criticités multiples" ou "systèmes à criticités mixtes", a été introduit pour désigner des systèmes embarqués intégrant sur une même plate-forme des fonctions conçues et implémentées pour répondre à des exigences de vérification/validation/certification différentes. Ce concept repose sur l'hypothèse que la plate-forme d'exécution offre les moyens d'isoler les composants de niveaux de criticité différents. Il présente un intérêt économique puisqu'il évite de devoir vérifier/valider/certifier toutes les fonctions, y compris les moins critiques, en regard des exigences associées au niveau de criticité le plus élevé.

L'étude des systèmes à criticités multiples comporte deux axes de travail : d'une part l'étude des plate-forme d'exécution permettant la construction de tels systèmes, et d'autres part l'analyse statique hors ligne de ces systèmes. L'exposé abordera ces deux axes, en s'appuyant principalement sur des exemples issus du domaine des logiciels embarqués dans les automobiles.

10h30-11h30 : Session Poster P4

Axes Architectures des systèmes numériques intégrés

- Implémentation d'une primitive MPI Spawn pour le déploiement dynamique de tâches dans un Système multiprocesseurs sur puce reconfigurable (MP-RSoC) à mémoire distribuée, Gamom Ngounou Ewo Roland Christian(1)(2), Granado Bertrand(3), Pinna Andrea(3), Fotsin Bertrand Hilaire, Mbouenda Martin. 1 - Equipes Traitement de l'Information et Systèmes (France), 2 - Laboratoire d'Informatique de Paris 6 (France), 3 - Laboratoire d'Informatique de Paris 6 (France)
- Power Monitoring in Embedded systems, Najem Mohamad(1), Benoit Pascal(1), Sassatelli Gilles(1), Torres Lionel(1). 1 - Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (France)
- CHAMELEON: A Ring-based Optical Network-on-Chip with Reconfigurable Channels, Li Hui(1), Le Beux Sébastien, O'connor Ian. 1 - Lyon Institute of Nanotechnology (France)
- An Automated Design Approach for Application Mappings on CGRAs, Peyret Thomas(1), Corre Gwenolé(1), Thevenin Mathieu(1), Martin Kevin(2), Coussy Philippe(2). 1 - Commissariat À l'Energie Atomique, Institut LIST (France), 2 - Laboratoire des sciences et techniques de l'information, de la communication et de la connaissance [Lorient] (France)
- Circuit de stimulation nerveuse à contre-réaction d'équilibrage des charges sur FPAA, Kölbl Florian(1), Guillaume Raphaël(1), Halser Jennifer(2), Joucla Sébastien(3), Yvert Blaise(3), Renaud Sylvie(1), Lewis Noëlle(1). 1 - Laboratoire IMS (France), 2 - Georgia Institute of Technology (Etats-Unis), 3 - Institut de Neurosciences cognitives et intégratives d'Aquitaine (France)
- Hardware architecture of a self-adaptive neuro-processor, Fiack Laurent(1), Rodriguez Laurent(1), Miramond Benoît(1). 1 - Equipes Traitement de l'Information et Systèmes (France)
- Placement en ligne de Tâches sur Architecture Dynamiquement Reconfigurable Hétérogène, Le Quang Hoa, Casseau Emmanuel(1), Courtay Antoine. 1 - CAIRN (France)
- Fast and power efficient heapsort IP for image compression application, Bai Yuhui(1), Ahmed Syed Zahid(2), Granado Bertrand(3). 1 - Equipes Traitement de l'Information et Systèmes (France), 2 - Laboratoire d'Informatique de Paris 6 (France), 3 - Laboratoire d'Informatique de Paris 6 (France)
- Distributed architecture for clock generation in large many-core SoC, Shan Chuan(1), Galayko Dimitri(1), Anceau François(1), Zianbetov Eldar(1). 1 - Lip6 (France)
- Communications Flexibles RF pour Interconnexions sur Puce, Mohamad HAMIEH, Myriam ARIAUDO, Sébastien QUINTANEL. ETIS/ ENSEA (France)
- Contrôleurs adaptatifs de Convertisseurs Statiques par reconfiguration dynamique de FPGA, Espino-Garibay Eber(1)(2), Weber Serge(1), Poure Philippe(1), Torres-Lucio Domingo(2). 1 - Institut Jean Lamour Equipe MAE 406 (France), 2 - Programa de Graduados e Investigación en Ingeniería Eléctrica (Mexique)
- Fully Hardware and Custom Implementation of Dynamic and Partial Reconfiguration on FPGAs, Chouchene Wissem, Meftali Samy, Ben Atillah Rabie(1), Dekeyser Jean-Luc. 1 - Laboratoire d'automatique, de mécanique et d'informatique industrielles et humaines (France)
- Microkernel on reconfigurable ARM-FPGA platform, Xia Tian(1), Prévotet Jean-Christophe(2), Nouvel Fabienne. 1 - Institut d'Electronique et de Télécommunications de Rennes (France), 2 - IETR (France)
- DreamCam : a FPGA-based smart camera for embedded vision, Berry François(1), Serot Jocelyn(1). 1 - Institut Pascal (France)

Comment venir à Télécom ParisTech

Adresse postale : 46 rue Barrault F-75634 Paris Cedex 13

Téléphone : +33 (0)1 45 81 77 77 - Fax : +33 (0)1 45 89 79 06

Accès Rue Barrault

- **Métro** : ligne 6 (Corvisart)
- **RER** : ligne B (Denfert-Rochereau) puis métro ligne 6 (direction Nation)
- **Bus** : ligne 62 (Vergniaud), 21 (Daviel) ou 67 (Bobillot)
- **Vélib'** : stations 13022 (face aux 27 et 36, rue de la Butte aux Cailles), 13048 (face au 20, rue Wurtz) ou 13024 (face au 81, rue Bobillot)

Depuis les grandes gares

Le billet de métro/RER (Paris intra muros) coûte 1,70 €

Depuis la Gare Montparnasse :

- métro ligne 6 direction Nation jusqu'à Corvisart
(durée 20 min. environ)

Depuis la Gare de Lyon ou la Gare St-Lazare :

- métro ligne 14 direction Olympiades jusqu'à Bercy,
- puis changer pour la ligne 6 direction Étoile jusqu'à Corvisart
(durée ~25 min. depuis Gare de Lyon ou ~35 min. depuis St-Lazare)

Depuis la Gare du Nord ou Châtelet-Les Halles :

- RER ligne B direction Robinson/St-Rémy jusqu'à Denfert-Rochereau,
- puis changer pour le métro ligne 6 direction Nation jusqu'à Corvisart
(durée ~30 min. depuis Gare du Nord ou ~26 min. depuis Châtelet)

Depuis la Gare d'Austerlitz ou la Gare de l'Est :

- métro ligne 5 direction Place d'Italie jusqu'au terminus,
- puis changer pour la ligne 6 direction Étoile jusqu'à Corvisart
(durée ~25 min. depuis Austerlitz ou ~35 min. depuis Gare de l'Est)

Depuis les aéroports

Depuis l'Aéroport Roissy-Charles de Gaulle :

- RER ligne B direction Robinson/St-Rémy jusqu'à Denfert-Rochereau,
- puis changer pour le métro ligne 6 direction Nation jusqu'à Corvisart
(durée 1 h. environ - prix du billet 9,50 €)

Depuis l'Aéroport d'Orly :

- Orlybus jusqu'à Denfert-Rochereau (terminus),
- puis changer pour le métro ligne 6 direction Nation jusqu'à Corvisart
(durée 35-50 min. environ - le billet Orlybus coûte 7,20 € plus le billet de métro 1,70 €)

mercredi 11 juin	jeudi 12 juin	vendredi 13 juin
9h-10h Accueil	9h-10h Session Keynote K2 - P. Fouillat	9h-10h30 Session Exposé E4 - Arr des systèmes numériques
10h-11h Ouverture	10h-11h Session Poster P2	10h30-11h30 Session Poster
11h-12h30 Session Exposé E1 - Sécurité Test Vérification	11h-12h30 Session Exposé E3 - Défis sociétaux	11h30-12h30 Bilan et Clôture
12h30-14h Repas	12h30-14h Repas	
14h-15h Session Keynote K1 - A. Foster	14h-15h Session Keynote K3 - C. Lécuyer	
15h-16h Session Poster P1	15h-16h Session Poster P3	
16h-17h30 Session Exposé E2 - Dispositifs de Sécurité et Cyberphysique AMS	16h-17h30 Evolution du GDR - P. Garda	
17h30-19h Comité de Pilotage		
19h Dîner de Gala		