

**COLLOQUE NATIONAL
du GDR SOC-SIP**

10-12 juin 2013

**Institut des Nanotechnologies de Lyon - CPE Lyon
Domaine Scientifique de la Doua, Bâtiment 308
43, boulevard du 11 Novembre 1918
69616 Villeurbanne**



Directeur

Patrick Garda, LIP6

Directeurs adjoints

Patrick Girard, LIRMM

Ian O'Connor, INL

Responsables de groupe thématique

***Logiciels Embarqués et Architectures
Matérielles***

Franck Wajsbürt, LIP6

Adjoint : Philippe Coussy, Lab-STICC

Architectures Reconfigurables

Gilles Sassatelli, LIRMM

Adjoints : Loïc Lagadec, ENSTA

Sébastien Pillement, Univ. Nantes

Méthodes et outils de conception AMS & RF

Patricia Desgreys, Télécom ParisTech

Adjointe : Nathalie Deltimple, IMS-Bordeaux

Test & Tolérance de SOC/SIP

Serge Bernard, LIRMM

Adjoints : Régis Leveugle, TIMA

Mounir Benabdenbi, TIMA

Consommation et Energie dans les SOC/SIP

Nathalie Julien, Lab-STICC

Adjoint : Cécile Belleudy, LEAT

Systèmes hétérogènes

Fabien Mieyeville, INL

Adjointe : Marie-Minerve Louerat, LIP6

Technologies émergentes

Jacques-Olivier Klein, IEF

Adjointe : Cristell Maneux, IMS-Bordeaux

Sécurité numérique

Marie-Lise Flottes, LIRMM

Adjoints : G. Di Natale, LIRMM

Lilian Bossuet, Univ. St Etienne

PROGRAMME

lundi 10 juin

10h-11h : Ouverture

10h – 10h30	Ouverture	P. Garda, P. Girard
10h30 – 10h45	Bienvenue	G. Pignault, Directeur de CPE Lyon
10h45-11h	Organisation du colloque	I. O'Connor

11h-12h : Session Exposé E1

GT Consommation et Energie dans les SOC/SIP (Nathalie Julien, Lab-STICC ; Adjoint : Cécile Belleudy, LEAT)

11h – 12h	HarvWSNET et EnvAdapt : la simulation de réseaux de capteurs au service de la conception RF ultra-faible consommation	Carolyn Bernier, CEA-LETI
-----------	--	---------------------------

Le laboratoire LAIR du CEA-LETI travaille depuis de nombreuses années à l'élaboration d'architectures et de circuits intégrés radiofréquences visant des applications à ultra-faible consommation (e.g. récupération d'énergie). Dans ce cadre, de très nombreuses pistes ont été explorées allant des architectures innovantes aux technologies agressives. Or, bien que ces technologies ont montré leur intérêt dans la réduction de la consommation active, si maintenant l'objectif est de gagner un facteur 10 en consommation, une autre approche s'avère nécessaire. Cette approche est baptisée «Sense & React» et exploite la forte variabilité du canal de propagation pour permettre à la radio d'adapter dynamiquement ses performances (et donc sa consommation) en fonction du SINR instantané. Pour explorer l'intérêt et les limites de cette nouvelle technique, les concepteurs RF se lancent dans la simulation de réseaux.

12h-13h30 : Repas

Restaurant INSA – Le Grillon

13h30-14h30 : Session Keynote K1

13h30-14h30	Efficacité énergétique: le verrou de l'ère post Moore	Alain Cappy, IRCICA
-------------	--	---------------------

L'efficacité énergétique devient le critère essentiel des technologies de traitement de l'information. C'est en effet pour des raisons énergétiques que les règles de changement d'échelle (R. Dennard, 1974) qui ont guidé l'évolution de la micro-nanoélectronique pendant près de 40 ans ne peuvent plus être appliquées aujourd'hui. Les conséquences de ce changement sont multiples : la stagnation de la fréquence d'horloge (2-3 GHz depuis 2004) et la complexité plus grande de l'architecture des processeurs (multicœurs). La médiocre efficacité énergétique des systèmes actuels constitue également un frein au développement des applications mobiles et son impact sur l'environnement (consommation électrique) devient non négligeable.

Il devient donc urgent de proposer de nouveaux paradigmes de traitement de l'information capables de réduire de façon drastique la consommation d'énergie tout en améliorant les performances. Après une présentation des questions scientifiques et technologiques qui se posent, nous proposerons quelques pistes possibles pour le traitement de l'information de l'ère post Moore.

14h30-15h30 : Session Poster P1

GT Logiciels Embarqués et Architectures Matérielles

Hardware architecture of Self-Organizing Maps

Laurent Rodriguez, ETIS

Hardware vision architecture for autonomous navigation

Laurent Fiack, ETIS

A collision management algorithm dedicated to large NoC on multi-FPGA platform

Atef Doraj, Laboratoire Hubert Curien

FlexOE: A Congestion-Aware Routing Algorithm for NoCs

Otávio Alcantara de Lima Junior, Laboratoire Hubert Curien

FlexTiles an heterogeneous MPSoC architecture

Romain Brillu, IETR

A Design Approach to Automatically Generate On-Chip Monitors during High-Level Synthesis of Hardware Accelerators

Mohamed Ben Hammouda, Lab-STICC

Application-Specific Processor Design: a Case-Study on MMSE MIMO equalization

Mostafa RIZK, Telecom Bretagne

YANGO : déploiement optimisé d'algorithmes sur FPGA autour d'un NoC

Matthieu Payet, Laboratoire Hubert Curien

Démapper 8-PSK en coordonnées polaires

Anthony Barre, Lab-STICC

Du paramétrage de la granularité du calcul et de la localité des données des implémentations sur GPU : Expérimentations OpenCL

Emanuel Guével, Université de Bretagne Occidentale

Sous-échantillonneur à ratio arbitraire sur FPGA

Brunel Happi Tietche, ETIS

Etude d'architecture pour l'évaluation d'options américaines

Valentin Mena Morales, ADACSYS

Medical Wavelet Compression Study: MMWaaves

Imen Mhedhbi, LIP6

Simultaneous multithreading support in embedded distributed memory MPSoCs

Rafael Garibotti, LIRMM

GT Sécurité des systèmes embarqués

Multi-Level Laser-Induced Fault Simulation

Feng Lu, LIRMM

Crypto-processeur ECC en RNS sur FPGA avec inversion modulaire rapide

Karim Bigou, IRISA / CAIRN

Modélisation stochastique des générateurs de suites binaires aléatoires: du transistor au bit aléatoire

Patrick Haddad, Laboratoire Hubert Curien

FPGA Emulation of Laser Attacks Against Secure Deep Submicron Integrated Circuits

Athanasios Papadimitriou, LCIS

Identification of Hardware Trojans triggering signals

Sophie Dupuis, LIRMM

15h30-16h30 : Session Exposé E2

GT Architectures Reconfigurables (Gilles Sassatelli, LIRMM ; Adjoints : Loïc Lagadec, ENSTA, Sébastien Pillement, Univ. Nantes)

15h30-16h30

**Les besoins en architectures
reconfigurables pour la radio
intelligente**

Christophe Moy, IETR

L'intervention présentera tout d'abord la radio intelligente et les conséquences que cela implique sur l'architecture des équipements radio. Un point particulier concernera la reconfiguration partielle et dynamique de FPGA, un autre les outils de conception de haut niveau. La présentation s'appuiera sur des exemples de projets et de démonstrateurs réalisés ces dernières années dans le domaine de la radio intelligente.

16h30-17h : Session Industrielle

17h-19h : Réunion de comité de pilotage

Salle du grand conseil

mardi 11 juin

9h-10h : Session Exposé E3

GT Systèmes hétérogènes (Fabien Mieyeville, INL ; Adjointe : Marie-Minerve Louerat, LIP6)

9h – 10h **Design and constraints overview in automotive electrical systems: Fast prototyping for electronics within electrical machines in the vicinity of thermal engines** **Pierre Tisserand, Valeo**

Le marché de l'automobile évolue, bien sûr en fonction de la demande des clients, mais est de plus en plus contraint par les réglementations, notamment celles concernant les rejets de polluants. Pour faire face, les constructeurs développent des stratégies de fonctionnement et une électrification des véhicules. D'une part le véhicule tout électrique commence à émerger, d'autre part les constructeurs proposent une hybridation progressive très importante des moteurs thermiques. Ces évolutions poussent très fortement l'électronique et pour ce faire le "fast prototyping" est un point incontournable pour développer rapidement. Pour étayer cette méthode de travail, nous présentons une étude d'un limiteur de couple implanté sur un régulateur d'alternateur classique, suivra une conclusion.

10h-11h : Session Poster P2

GT Architectures Reconfigurables

Présentation d'une architecture programmable et reconfigurable de manière dynamique pour des problématiques de transfert sans fil

Remy Astier, LTI

Vers un langage spécialisé pour la radio logicielle sur FPGA

Matthieu Gautier, IRISA / INRIA

Efficient dynamic configuration of a multi-ASIP turbo decoder

Vianney Lapotre, Lab-STICC

Evolution d'une chaîne d'outils pour le prototypage d'architectures reconfigurables tolérantes aux fautes

Boutheina Maaloul, Université de Bretagne Occidentale

Methodology for effective placement of variable-size hardware tasks on reconfigurable architecture

Nicolas Marques, Institut Jean Lamour

Durcissement Virtuel de FPGA SRAM par Reconfiguration Dynamique Partielle

Cyril Richard, LTI

A Metadata-based Composition Framework for Dynamic Partially Reconfigurable Systems based on IP-XACT

Gilberto Ochoa-Ruiz, LE2I

FPGA based Encoder SoC for Locally Stationary Image source

Bai Yuhui, ETIS

An Overview: Dynamically Reconfigurable Fault Tolerant FPGA Architecture

Chagun Basha Basheer Ahmed, IETR

Design Space Exploration on Heterogeneous SoC: The H.264 encoder case-study

Mokhtar Bouain, LAMIH / INRIA Lille Nord Europe

Communication Cost Reduction For Hardware Tasks Placed on Homogeneous Reconfigurable Resource

Quang Hai KHUAT, IRISA / INRIA

Partial functionality reconfigurable cells: Interconnect exploration

Kevin Cheng, INL

SECNUM : une plateforme pour étudier et comprendre les phénomènes de vieillissement

Florent Bruguier, LIRMM

GT Technologies émergentes

Réseau de Neurones Impulsionnels avec Synapses Memristives

Gwendal Lecerf, IMS

Reconfigurable parallel logic computation with Optical Look Up Table

Zhen Li, INL

Evaluation of magnetic-memory-based flip-flop components

Raphael Martins Brum, LIRMM

Vers un modèle compact de memristor organique pour les applications neuro-inspirées

Jean-Etienne Lorival, CEA-LEM

Experimental Study of a Bulk-Technology Tri-gates nMOSFET

Inga Zbierska, INL

Thermionic Emission filtering to increase SET operating temperature

K. El Hajjam, INL

11h-12h : Session Exposé E4

GT Méthodes et outils de conception AMS & RF (Patricia Desgreys, Télécom ParisTech ; Adjointe : Nathalie Deltimple, IMS-Bordeaux)

11h – 12h Implantable Telemetry Systems: the Robert Sobot, Western Univ. Canada
State of the Art and Challenges

Research and development of implantable RF telemetry systems intended specifically to enable and support cardiac monitoring of genetically engineered small animal subjects, e.g. rabbits, rats and mice, has already gained significant momentum. In this talk, I present the state of the art review of experimental implantable telemetry systems for monitoring vital signals. Considering the body size of these small subjects, a mouse in particular, it becomes obvious that the system design and implementation challenges are great. This conclusion comes from the fact that the main goal of the research is to design a fully implantable system so that the subject is allowed to freely move inside a cage after the operation. Thus, the mouse's small body size sets harsh constraints on the size and power consumption of the required electronics.

Consequently, a significant portion of the research efforts is directed towards the development of low-volume low-power electronics, as well as RF energy harvesting systems that are required to serve as the energy source to the implanted telemetry instead of the relatively bulky batteries. The talk concludes with review of other future possible biomedical applications of implantable micro telemetry systems and their possible implications on humans.

12h-13h30 : Repas

Restaurant INSA – Le Grillon

13h30-14h30 : Session Exposé E5

GT Technologies émergentes (Jacques-Olivier Klein, IEF ; Adjointe : Cristell Maneux, IMS-Bordeaux)

13h30 – 14h30 Mémoires Résistives: De Nouvelles Jean-Michel Portal, IM2NP
Opportunités de Conception Faible
Consommation

Cette présentation couvrira les nouveaux concepts de conception de circuits basse consommation à base de mémoires prototypes et émergentes, avec notamment les aspects plan mémoire mais aussi mémoires distribuées. Dans un premier temps, les différentes technologies de mémoires non-volatiles seront abordées, au travers des aspects technologique, fonctionnement, performance et modèle. Dans une deuxième partie, nous verrons comment l'introduction de ces nouveaux types de mémoires peut ouvrir de nouveaux horizons pour la conception de circuits basse consommation pour les applications mobiles et en particulier pour la sauvegarde de contexte.

14h30-15h30 : Session Poster P2

GT Consommation et Energie dans les SOC/SIP

Energy and Lifetime Prediction in Large Wireless Sensor Networks

Foudil Mir, Lab-STICC

The detection and localization of hard-failure for Wireless Sensor Node based on online power management

Van-Trinh Hoang, Lab-STICC

Evaluation of the Performance/Energy Overhead in DSP Video Decoding and its Implications

Yahia Benmoussa, Lab-STICC

A GA Based Optimization Framework for the Energy Aware Wireless Sensor Networks

Nanhao Zhu, INL

Toward a Unified Performance and Power Consumption NAND Flash Memory Model of Embedded and Solid State Secondary Storage Systems

Pierre Olivier, Lab-STICC

Un 0.8-11GHz 0.15um pHEMT amplificateur distribué faible bruit basse consommation avec réveil reconfigurable pour les réseaux de communications domestiques

Liang Zhou, ETIS

Modélisation Fonctionnelle de la Consommation d'Energie dans un Nœud Capteur

Aina Randrianarisaina, IETR

Fast Power Aware Verification and Estimation (PAVE) through Multi-FPGA Emulation

Xinyu Li, Synopsys

Energy Monitor for Super Capacitor based Wireless Sensor Networks

Trong Nhan Le, LEAT

Low Power Magnetic Flip-Flop based on checkpointing and Self-Enable Mechanism

Djaafar Chabi, IEF

GT Test & Tolérance de SOC/SIP

Performance Evaluation of Capacitive defects on TAS-MRAMs

Joao Azevedo, LIRMM

Investigating Multiple-Cell-Upsets on a 90nm SRAM

Georgios Tsiligiannis, LIRMM

Réduction des paramètres de sorties des circuits analogiques par l'estimation des métriques de test

Kamel Beznia, Lab-STICC

Estimation des métriques de test analogique à base d'un échantillon multi-varié de circuits extrêmes

Ahcène Bounceur, Lab-STICC

Development of Robust Indirect Testing Method for Analog or RF Integrated Circuits

Larguech Syhem, LIRMM

Boosting The Cache Memory Reliability Through Single Redundancy

Ihsen Alouani, LAMIH

Near Field Communication (NFC) self calibration system

Mouhamadou Dieng, LIRMM

Fault-Effect Propagation Based Intra-cell Scan Chain Diagnosis

Zhenzhou Sun, LIRMM

Cost-Efficient Testing of LUT and Intra-Cluster Interconnect of a Novel SRAM-Based FPGA
Rehman Saifur, TIMA

Backward Error Recovery for SRAM-Based FPGAs
Fouad Sahraoui, ETIS

Diagnostic de circuits combinatoires par réseaux bayésiens
Sara Zermani, Lab-STICC

15h30-16h30 : Session Exposé E6

GT Logiciels Embarqués et Architectures Matérielles (Franck Wajsbürt, LIP6 ; Adjoint : Philippe Coussy, Lab-STICC)

**15h30 – 16h30 Les challenges du HPC pour l’Exascale - Jean-Pierre Panziera, Bull
Architecture, composants,
consommation, résilience,
programmation**

Les supercalculateurs sont devenus l’outil indispensable des scientifiques et des ingénieurs. Aujourd’hui la performance des plus puissants calculateurs se mesure en PétaFlops (10^{15} instructions flottantes par secondes), mais dans bien des domaines c’est encore très insuffisant pour couvrir les besoins des utilisateurs. L’industrie du HPC (High Performance Computing) s’est fixée comme objectif d’atteindre avant 2020 l’Exascale (10^{18}), soit des calculateurs 1000 fois plus puissants qu’aujourd’hui.

Après avoir décrit les systèmes HPC présents, on discutera les challenges que présente l’Exascale. L’architecture des systèmes Exascale sera hyper-parallèle avec plus de 100.000 nœuds, des processeurs avec des dizaines (voire centaines) de cœurs. On utilisera de nouvelles technologies pour les mémoires, le stockage et l’interconnexion des composants. Pour les architectes des supercalculateurs Exascale, les défis majeurs concernent la consommation qui doit être limitée à quelques MW et la résilience aux pannes. Enfin, les applications qui pourront efficacement tirer parti de ces systèmes sont à développer et nécessiteront de nouvelles méthodes.

16h30-17h Réunion Plateforme virtuelle reconfigurable – Petit Amphi CPE

17h-18h : Sessions Interactives GT

Logiciels Embarqués et Architectures Matérielles : F004

Architectures Reconfigurables : F005

Méthodes et outils de conception AMS & RF : F006

Test & Tolérance de SOC/SIP : F007

Consommation et Energie dans les SOC/SIP : F101

Systèmes hétérogènes : F102

Technologies émergentes : G109

Sécurité numérique : G102

20h : Dîner de Gala

mercredi 12 juin

9h-10h : Session Exposé E7

GT Test & Tolérance de SOC/SIP (Serge Bernard, LIRMM ; Adjoints : Régis Leveugle, TIMA et Mounir Benabdenbi, TIMA)

**9h – 9h30 Test et sûreté de fonctionnement des Philippe Cauvet, Ophtimalia
dispositifs électroniques médicaux**

Garantir une sûreté de fonctionnement maximale est une obligation absolue pour les fabricants de dispositifs électroniques médicaux. Parmi les moyens mis en œuvre pour atteindre cet objectif, le Test joue un rôle essentiel, car il permet d'en vérifier le parfait fonctionnement, ainsi que la conformité par rapport au cahier des charges et aux normes en vigueur. Après avoir introduit quelques notions sur les dispositifs médicaux, puis sur la sûreté de fonctionnement en général, les particularités des applications médicales seront évoquées avant de situer le rôle du Test dans ce contexte. L'exemple d'un dispositif permettant de mesurer et d'enregistrer les variations de pression intraoculaire en continu sera pris pour illustrer quelques points particuliers.

**9h30 – 10h Near Field Communication Technology Bruno Guillotin, NXP
and System auto-adaptation**

By introducing the Near Field Communication Technology, the contactless system complexity for secured communication and transaction application will be overviewed. To cover this diversity, the NXP system embeds an auto-adaptive solution. One of the key challenge is to reach 100% of interoperability over our moving world!

10h-11h : Session Poster P3

GT Méthodes et outils de conception AMS & RF

Emetteur pour transmission d'énergie sans fil et convertisseur demi-pont résonnant accordé par capacité commutée synchrone

Romain Denieport, IEF

Impact de la ligne de transmission pour des interconnexions RF d'un réseau sur puce

Lounis Zerioul, ETIS

Analog Linear and Non Linear Image Processing Unit Implemented in a CMOS retina

Purnawarman Musa, LEAD

SystemC-AMS modeling of an acquisition and a reconstruction systems based on the compressed sensing theory

Andrianiaina Ravelomanantsoa, Institut Jean Lamour

A Fully Digital Background Calibration of Timing Skew in TI-ADC

Han Le Duc, Telecom ParisTech

Physically Based Approach of Simple Compact Modeling for 3D Interconnects in RF circuit

Fengyuan Sun, INL

Power-Reconfigurable Receiver Model for Energy-Aware WSNs: A Systematic Approach
Amine Didioui, CEA-LETI

High input ratio and wide dynamic output CMOS AGC amplifier
Ming Zhang, Université de Paris Sud 11- CNRS

Détecteurs de crêtes rapides pour le contrôle d'un générateur d'induction magnétique à convertisseur résonnant
Francis Rodes, ENSEIRB-MATMECA

High Level Modeling of Signal Integrity in High Frequency USB 3.0 Systems with SystemC-AM
Ruomin Wang, LIP6

Méthodes de linéarisation pour un récepteur large-bande
Raphaël Vansebrouck, LTCl

GT Systèmes hétérogènes

Circuit d'interface pour capteur Pirani permettant la mesure de pression élevée
You Wang, Université Paris-Sud 11

Caractérisation d'un capteur Pirani pour la mesure de pression au-delà de l'atmosphère
D. Ibrahima, Université Paris Sud 11

An OMNeT++ Framework for Wireless Sensors Power Consumption Estimation and Design
Wilfried Dron, LIP6

Nouvelle allocation de ressources spectrales pour les interconnexions RF pour NoC
Frédéric Drillet, ETIS

Time Step Control and Threshold Crossing Detection in SystemC AMS 2.0
Liliana Andrade, LIP6

Self-Adaptive System for Medical Application
Anthony Deluthault, LIRMM

Co-simulation of Physiological Glucose-Insulin human system and embedded system models including hardware and software components
Charbel El Gemayel, INL

Low consuming active control strategy involving dynamic spatial control partition in WSN
Mateusz Zielinski, INL

Comment venir à CPE Lyon

Vous venez en métro et tramway

- Prenez le métro (ligne A direction Vaulx-en-Velin la Soie, ou B direction Charpennes) jusqu'à la station Charpennes
- Prenez le Tramway T1 direction IUT-Feyssine
- Arrêtez-vous à la station La Doua Gaston Berger

Vous venez en voiture

- Prenez le périphérique et sortez "Porte de la Doua"
- Suivez ensuite les indications "Domaine Scientifique de la Doua"

Vous venez en train

Depuis la gare de la Part-Dieu (vivement conseillé) :

- A la Part Dieu prenez le Tramway T1 Direction IUT-Feyssine
- Arrêtez-vous à la station La Doua Gaston Berger.

Depuis la gare de Perrache :

- Prenez le métro ligne A, direction Vaulx-en-Velin la Soie, jusqu'à Charpennes
- Prenez le Tramway T1 direction IUT-Feyssine.
- Arrêtez-vous à la station La Doua Gaston Berger

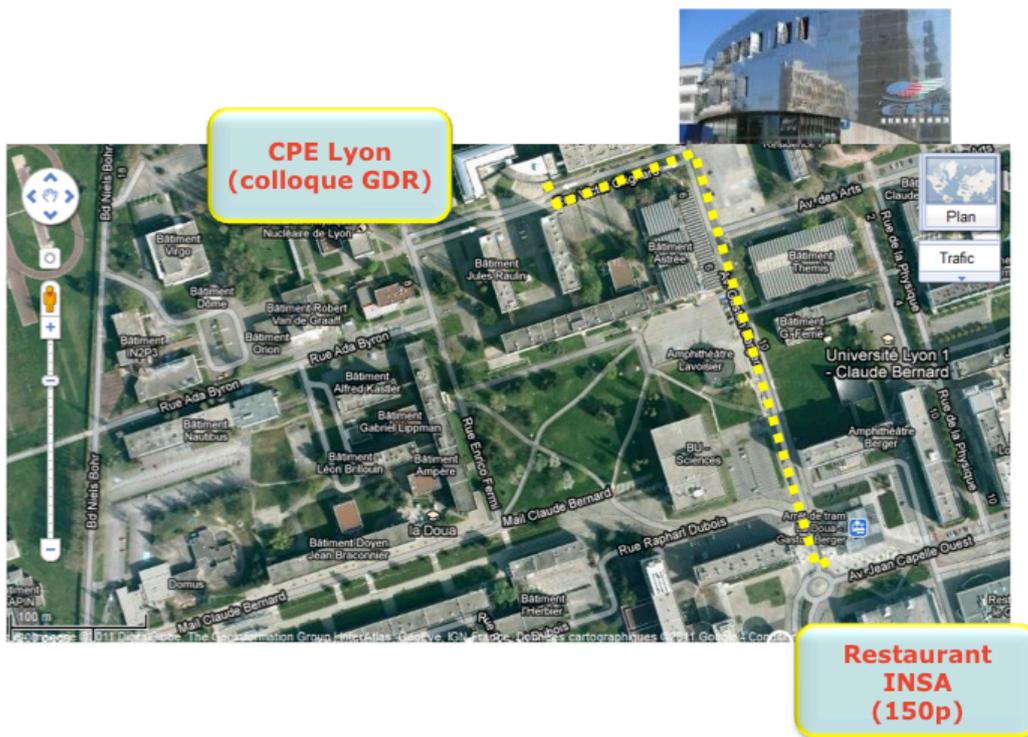
Vous venez en avion

A l'aéroport Saint-Exupéry :

- Prenez le tram rapide Rhonexpress (toutes les 15 minutes) en direction de Lyon-centre.
- Descendez à la gare de la Part Dieu.
- Prenez le Tramway T1 direction IUT-Feyssine.
- Arrêtez-vous à la station La Doua Gaston Berger



Restauration de midi : INSA - Le Grillon



Dîner de Gala

Les Salins (<http://www.les-salins.fr>, 04 78 92 87 87)

43 Quai Rambaud, 69002 Lyon

